



**AK2301**

**3.3V シングルチャネル PCMコーデック LSI**

**概要**

AK2301は、8kHzサンプリングの8bit単チャンネルPCMコーデックです。欧州を中心とする地域で用いられるA-Law圧伸則と北米・日本で用いられるμ-law圧伸則とをピンで選択可能です。

帯域制限フィルタ、A/D及びD/A変換器、A-law/μ-law変換器を内蔵しており、実装スペース、実装工数及び消費電力の削減に最適です。

**パッケージ**

16ピンTSSOPパッケージ

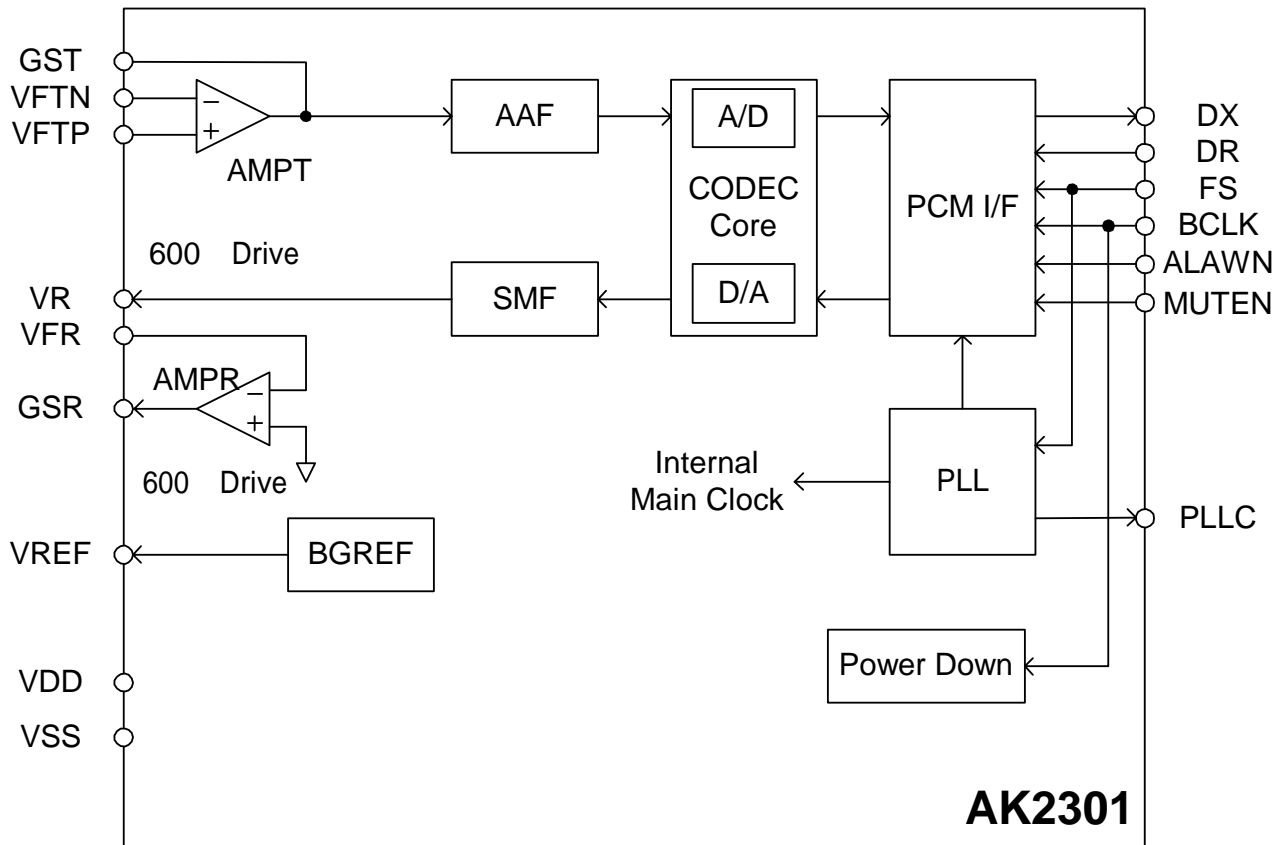
- ・ ピン端 5.0\*6.4mm
- ・ ピンピッチ 0.65mm

**特長**

単チャンネル・PCMコーデック/フィルタ内蔵  
設定可能な機能；

- ・ ミュート
  - ・ A-law, μ-lawの圧伸則選択
- PCMデータインタフェース  
LongFrame/ShortFrameに対応  
PCMデータ転送レート  
64k\*N(N=1~32)Hz (64~2048kHz)  
パワーダウン (BCLK=L時)  
入出力ゲイン調整用オペアンプ内蔵  
差動にて600ライン駆動可能  
+3.0~+3.6V単一電源  
低消費電流
- ・ 動作時 8mA(typ)
  - ・ パワーダウン時 5uA(typ)

**ブロック図**



## 目 次

項 目	頁
- ブロック図.....	1
- 端子条件.....	3
- 端子機能.....	4
- 絶対最大定格.....	5
- 推奨動作条件.....	5
- 電気的特性.....	5
- パッケージ外形寸法図.....	10
- パッケージ・ピン配置.....	11
- マーキング仕様.....	11
- 回路構成.....	12
- 機能説明.....	13
-     PCMコーデック.....	13
-     PCMインタフェース.....	13
-     LongFrame/ShortFrame.....	14
-     ミュート・パワーダウン.....	15
-     電源起動時推奨動作手順.....	16
- 外付け推奨回路図(例).....	17

## 端子条件

端子番号	端子名	I/O	端子タイプ	最大容量負荷	最小抵抗負荷	ミュート時出力状態	パワーダウン出力状態	備考
10	VFTN	I	Analog					
11	VFTP	I	Analog					
9	GST	O	Analog	50pF	AC負荷(*1) 10k (*2)		Hi-Z	
6	GSR	O	Analog	40pF	AC負荷 600 (*2,*3)		Hi-Z	
7	VFR	I	Analog					
8	VR	O	Analog	40pF	AC負荷 600 (*2,*3)	Analog ground	Hi-Z	
5	VDD	-						
13	VSS	-						
4	FS	I	CMOS					オープン不可
2	BCLK	I	CMOS					オープン不可
1	DX	O	CMOS	50pF		Hi-Z	Hi-Z	
3	DR	I	CMOS					オープン不可
16	MUTEN	I	CMOS					オープン不可
15	ALAWN	I	CMOS					オープン不可
12	VREF	O	Analog				VSS	外付容量 1.0uF以上
14	PLLC	O	Analog				VSS	外付容量 0.33uF ± 40%(温度 特性込み)

\*1)AC負荷:AGNDに対する負荷です。

\*2)最小負荷抵抗は帰還抵抗値の値です。

\*3)差動の場合、GSRとVR間のAC負荷です。

## 端子機能

## タイプの詳細

DIN: デジタルインプット

TOUT: トライステートアウトプット PWR: 電源・グランド

AIN: アナログインプット

AOUT: アナログアウトプット

端子番号	端子名称	タイプ	機能
10	VFTN	AIN	A/Dへの入力ゲイン調整用オペアンプの反転差動入力。 VFTP端子と外部抵抗で、差動またはシングルエンド入力アンプを構成しゲイン調整を行います。
11	VFTP	AIN	A/Dへの入力ゲイン調整用オペアンプの正転差動入力。 VFTN端子と外部抵抗で、差動またはシングルエンド入力アンプを構成しゲイン調整を行います。
9	GST	AOUT	A/D入力ゲイン調整用オペアンプの出力。 外部抵抗で差動入力アンプを構成しゲイン調整を行います。
6	GSR	AOUT	D/A出力ゲイン調整用オペアンプの出力。 外部抵抗で反転アンプを構成しゲイン調整を行います。VR出力を使って作動出力を構成することも出来ます。
7	VFR	AIN	D/A出力ゲイン調整用オペアンプの反転入力。 外部抵抗で反転アンプを構成しゲイン調整を行います。ただし入力ゲインオペアンプを差動アンプとして構成する場合、このオペアンプは差動アンプのアナログGND用のバッファとして使用されます。この場合、このアンプを用いた出力ゲイン調整、および差動ドライブ回路構成は出来ません。
8	VR	AOUT	D/Aアナログ出力。 GSR出力を使って作動出力を構成することも出来ます。
5	VDD	PWR	正電源端子。
13	VSS	PWR	負電源端子。
4	FS	DIN	PCMデータ送受同期信号入力。 PCMデータ入出力タイミングを制御します。パワーダウン時を除き、BCLKと同期した8kHzの信号を常に入力してください。FSを停止する場合は、BCLK=Lとして、AK2301をパワーダウンモードにしてください。
2	BCLK	DIN	PCMデータ転送レート制御クロック入力。 BCLK=Lで、AK2301はパワーダウンします。通常動作時は、 $64k \cdot N$ ( $N=1 \sim 32$ ) Hz (64k ~ 2048kHz) のクロックをduty40 ~ 60%で常に入力してください。
1	DX	TOUT	PCMデータ出力端子。 BCLKに同期してA/DされたPCMデータを出力します。この端子は送信データが存在する8ビット期間以外は、ハイインピーダンスとなります。
3	DR	DIN	PCMデータの入力端子。 BCLKに同期してPCMデータを入力します。
16	MUTEN	DIN	ミュート設定端子。 Lでミュートが起動されます。
15	ALAWN	DIN	A/ $\mu$ -law切替端子。 "L" = A-law, "H" = $\mu$ -law 通常使用時は、H or Lに固定してください。
12	VREF	AOUT	アナロググランド電源出力端子。 1.0 $\mu$ F以上の容量を外付して下さい。
14	PLL	AOUT	PLL用 容量接続端子。 0.33 $\mu$ F $\pm$ 40%(温度特性込み)の容量を外付して下さい。

## 絶対最大定格

パラメータ	記号	min	max	単位
電源電圧 アナログ/デジタル電源	VDD	-0.3	4.6	V
デジタル端子印加電圧	VTD	-0.3	VDD+0.3	V
アナログ端子印加電圧	VTA	-0.3	VDD+0.3	V
入力電流 (電源ピンを除く)	IIN	-10	10	mA
保存温度	Tstg	-55	125	

注) この値を超えた条件で使用した場合、デバイスを破壊することがあります。

またこの範囲内全てでの通常動作は保証されません。

## 推奨動作条件

パラメータ	記号	min	typ	max	単位
電源電圧 アナログ/デジタル電源	VDD	3.0	3.3	3.6	V
動作温度範囲	Ta	-40		85	
フレームシンク周波数*)	FS	-1.0%	8	+1.0%	kHz

注) 電圧は全て接地端子基準 : VSS = 0V

\*) CODECの諸特性は8kHzでの定義となります。

## 電気的特性

特記のない限り、規格値はVDD = +3.0 V~+3.6V、Ta = -40 ~ +85、FS=8kHzにおいて保証されます。

## DC特性

項目	記号	条件	min	typ	Max	単位
消費電流	I <sub>DD1</sub> (注1)	出力端子はすべて無負荷		8	13	mA
	I <sub>DD2</sub>	パワーダウン(BCLK=L)		5	100	μA
デジタル高レベル 出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = -1.6mA	0.8VDD			V
デジタル低レベル 出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 1.6mA			0.4	V
デジタル高レベル 入力電圧	V <sub>IH</sub>		0.7VDD			V
デジタル低レベル 入力電圧	V <sub>IL</sub>				0.3VDD	V
入力漏洩電流	I <sub>LL</sub>		-10		+10	μA
出力漏洩電流	I <sub>LT</sub>	トリステート時	-10		+10	μA
アナロググランド 出力電圧	VRG		1.4	1.5	1.6	V

(注1) 測定条件 : BCLK=2.048MHz、出力端子は全て無負荷。

VFTN,VFTP(差動入力)より1020Hz@0dBm0入力、DRより1020Hz@0dBm0 Codeを入力。

**PCMインタフェース (Long Frame, Short Frame)**

特記なき場合、 $T_a = -40$  to  $+85$  ,  $V_{DD} = 3.0 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $FS = 8kHz$  についての定義となります。全ての出力ピンのタイミングパラメータは  $VOH = 0.8V_{DD}$  及び  $VOL = 0.4V$  にて測定されます。全ての入力ピンのタイミングパラメータは  $VIH = 0.7V_{DD}$  及び  $VIL = 0.3V_{DD}$  にて測定されます。

**AC特性**

パラメータ	記号	Min	Typ	Max	単位	参照図
FS Frequency	$f_{PF}$	-1.0%	8	+1.0%	kHz	図1, 2
BCLK Frequency	$f_{PB}$	-	$f_{PF} \times 8N$ ( $N=1 \sim 32$ )	-	kHz	
BCLK Duty Cycle	$t_{WB}$	40		60	%	
Rising/Falling Time: (BCLK, FS, DX, DR)	$t_{RB}$ $t_{FB}$			40	ns	
Hold Time: BCLK Low to FS High	$t_{HBF}$	60			ns	
Setup Time: FS High to BCLK Low	$t_{SFB}$	60			ns	
Setup Time: DR to BCLK Low	$t_{SDB}$	60			ns	
Hold Time: BCLK Low to DR	$t_{HBD}$	60			ns	
Delay Time: BCLK High to DX valid 注1)	$t_{DBD}$	0		60	ns	
Delay Time: (A) BCLK Low to DX High-Z or (B) FS Low to DX High-Z or (C) BCLK High to DX High-Z 注1)	$t_{DZC}$	0		60	ns	
<b>Long Frame</b>						
Hold Time: 2 <sup>nd</sup> period of BCLK Low to FS Low	$t_{HBFL}$	60			ns	図1
Delay Time: FS or BCLK High, whichever is later, to DX valid 注1)	$t_{DZFL}$			60	ns	
FS Pulse Width Low	$t_{WFSL}$	1			BCLK	
<b>Short Frame</b>						
Hold Time: BCLK Low to FS Low	$t_{HBFS}$	60			ns	図2
Setup Time: FS Low to BCLK Low	$t_{SFBS}$	60			ns	

(注1) 50pFの負荷容量、及び0.2mA駆動

Interface Timing

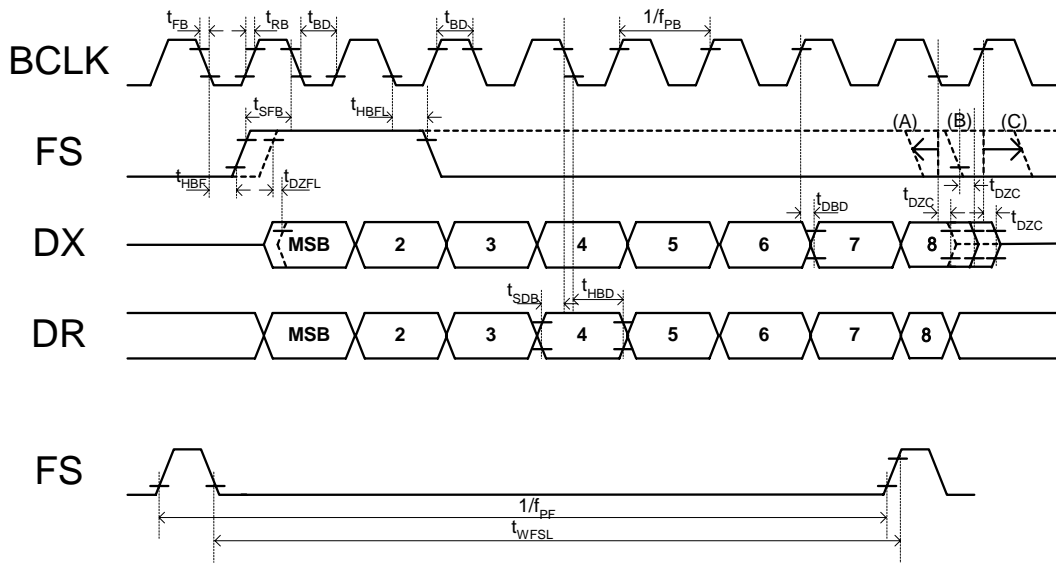


図1. Long Frame

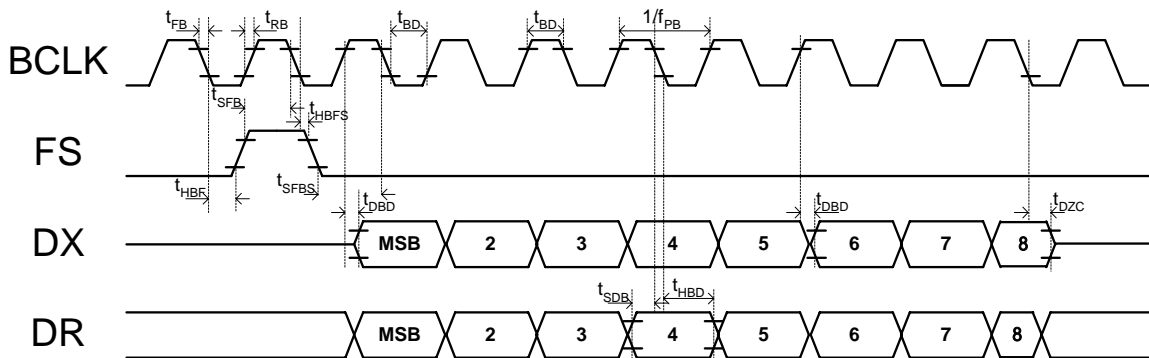


図2. Short Frame

**CODEC**

**\* 送受信用オペアンプのゲインは0dB設定にて測定しています。**

\* FSが8kHzからずれた場合の諸周波数特性は  $\frac{\text{使用FS}}{8\text{kHz}} \times \text{測定条件周波数} = \text{実効周波数}$  で読み替えて下さい。

**絶対ゲイン特性**

項目	測定条件	min	typ	max	単位		
アナログ入力レベル	VFTP,VFTN (差動) DX (*1)	0dBm0@1020Hz 入力		0.531		Vrms	
絶対入力ゲイン			-0.6	-	0.6	dB	
絶対入力レベル	DR	3.14dBm0入力		0.762		Vrms	
アナログ出力レベル			0dBm0@1020Hz 入力		0.531		Vrms
絶対出力ゲイン				-0.6	-	0.6	dB
最大入出力レベル	VR	3.14dBm0相当値		0.762		Vrms	

(\*1)差動で0dBm0=0.531Vrms

**伝送レベル特性**

項目	測定条件	min	typ	max	単位	
送信伝送レベル特性 (A D) VFTP,VFTN DX	基準レベル: -10dBm0	-55dBm0 ~ -50dBm0	-1.2	-	1.2	dB
	1020Hz Tone	-50dBm0 ~ -40dBm0	-0.4	-	0.4	
		-40dBm0 ~ 3dBm0	-0.2	-	0.2	
受信伝送レベル特性 (D A) DR VR	基準レベル: -10dBm0	-55dBm0 ~ -50dBm0	-1.2	-	1.2	dB
	1020Hz Tone	-50dBm0 ~ -40dBm0	-0.4	-	0.4	
		-40dBm0 ~ 3dBm0	-0.2	-	0.2	

**伝送損失周波数特性**

項目	測定条件	min	typ	max	単位	
伝送損失周波数特性 (A D) VFTP,VFTN(差動) DX	基準: 0dBm0@1020Hz	0.05kHz	-	-	-30	dB
		0.06kHz	-	-	-26	
		0.2kHz	-1.8	-	0	
		0.3 ~ 3.0kHz	-0.15	-	0.15	
		3.4kHz	-0.8	-	0	
		4.0kHz	-	-	-14	
伝送損失周波数特性 (D A) DR VR	基準: 0dBm0@1020Hz	0 ~ 3.0kHz	-0.15	-	0.15	dB
		3.4kHz	-0.8	-	0	
		4.0kHz	-	-	-14	

**歪み特性**

項目	測定条件	min	typ	max	単位	
信号対総合電力歪比 (A D) VFTP,VFTN(差動) DX	1020Hz Tone	-40dBm0 ~ -45dBm0	25	-	-	dB
		-30dBm0 ~ -40dBm0	30	-	-	
		0dBm0 ~ -30dBm0	36	-	-	
信号対総合電力歪比 (D A) DR VR	1020Hz Tone	-40dBm0 ~ -45dBm0	25	-	-	dB
		-30dBm0 ~ -40dBm0	30	-	-	
		0dBm0 ~ -30dBm0	36	-	-	

注1) μ-Law時はC-message,A-Law時はPsophometricフィルタ使用。



## ノイズ特性

項目	測定条件	min	typ	max	単位
無通話時雑音 A D (注1) VFTP,VFTN(差動) DX	$\mu$ -law, C-message	-	8	13	dBrnC0
	A-law, Psophometric	-	-85	-80	dBm0p
無通話時雑音 D A (注2) DR VR	$\mu$ -law, C-message	-	5	10	dBrnC0
	A-law, Psophometric	-	-85	-80	dBm0p
電源雑音除去比 (送信)	変調レベル: VDD=3.3V/±66mVop f=0~10kHz	-	55	-	dB
電源雑音除去比 (受信)	変調レベル:同上	-	55	-	dB

注1) アナログ入力 = アナロググランドレベル

注2) デジタル入力 (DR) = +0 CODE

## 同一チャンネル内漏話

項目	測定条件	min	typ	max	単位
送信側 受信側 VFTP VR,GSR(差動)	VFTP 0dBm0@1020Hz DR = PCM 0-Code	-	-	-75	dB
受信側 送信側 DR DX	DR=PCM 0dBm0 Code@1020Hz VFTP,VFTN = 0 Vrms	-	-	-75	dB

## 送信オペアンプ特性:AMPT

項目	測定条件	min	typ	max	単位
出力負荷抵抗	AC負荷、帰還抵抗含む	10	-	-	k
出力負荷容量		-	-	50	pF
利得	反転増幅 (帰還容量100pF、fc=80kHz設定時)	-12	-	6	dB

## 受信信号出力特性:VR

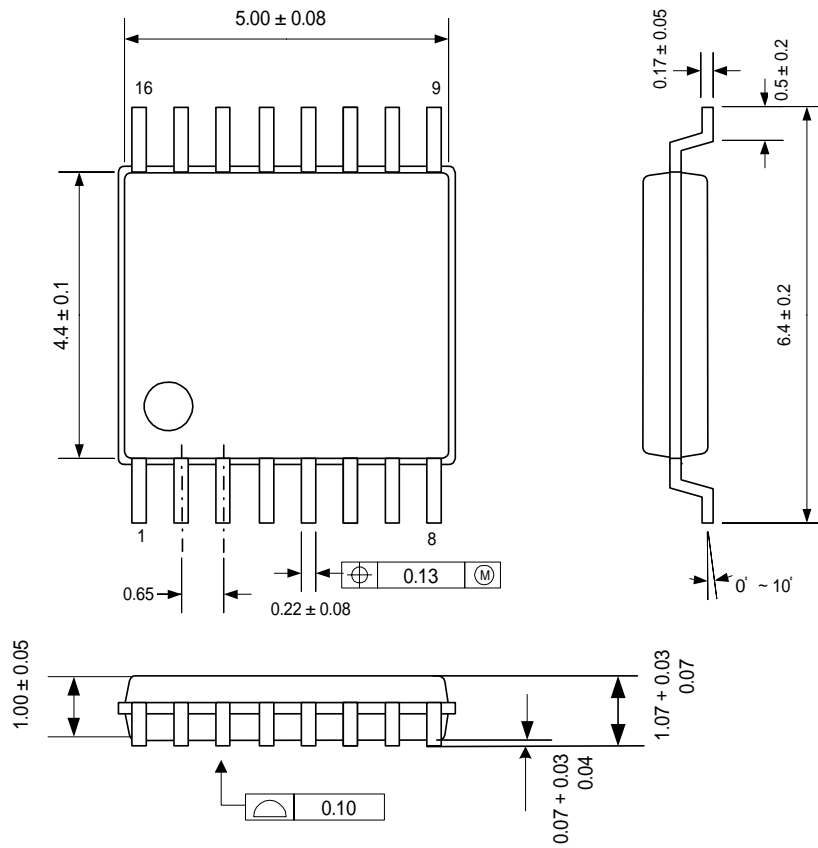
項目	測定条件	min	typ	max	単位
出力電圧(AGNDレベル)	PCM +0 code入力時	-	1.5	-	V
出力負荷抵抗	AC負荷	600	-	-	
出力負荷容量		-	-	40	pF

## 受信オペアンプ特性:AMPR

項目	測定条件	min	typ	max	単位
出力負荷抵抗	AC負荷、帰還抵抗含む	600	-	-	
出力負荷容量		-	-	40	pF
SINAD	0dB設定、1020Hz@0dBm0入力 VR,GSR差動出力時(600 負荷) C-message	50	70	-	dB
	0dB設定、1020Hz@0dBm0入力 VR,GSR差動出力時(5k 負荷) C-message		80		
利得	反転増幅(帰還容量100pF、fc=40kHz設定時)	-12	-	6	dB
最大出力振幅	3.14dBm0デジタルコードDR入力時	-	2.15	-	Vp-p

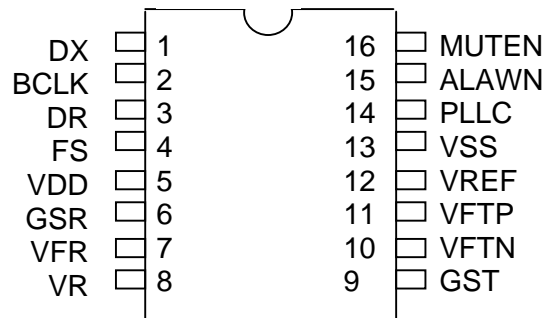
パッケージ外形寸法図

16pin TSSOP



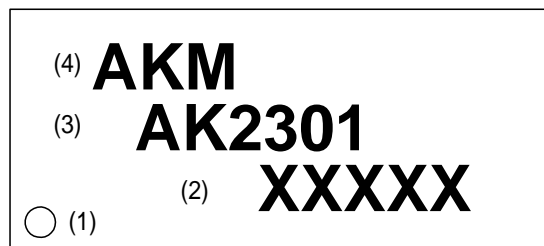
パッケージ・ピン配置

16ピンTSSOP



マーキング仕様

- (1) 1ピン表示
- (2) 日付コード: XXXXX (5桁)
- (3) マーケティングコード: AK2301
- (4) 旭化成ロゴ



## 回路構成

ブロック	機能
AMPT	送信用システム0dB（伝送0レベルポイント）のゲイン調整用オペアンプです。外付けの抵抗で差動もしくはシングルエンドのゲインアンプを構成します。帰還抵抗は10 k 以上にして下さい。各端子の構成は次のようになっています。 VFTN：オペアンプ反転入力 VFTP：オペアンプ正転入力 GST：オペアンプ出力
AMPR	受信システム0dB（伝送0レベルポイント）のゲイン調整用オペアンプです。反転アンプとして使用し、外付けの抵抗で差動もしくはシングルエンドのゲインアンプを構成します。各端子の構成は次のようになっています。 VFR：オペアンプ反転入力 GSR：オペアンプ出力 受信出力のVR端子と差動回路を構成する場合は、外付けの負荷と帰還抵抗を合わせて600 以上のAC負荷になるようにして下さい。
AAF	折り返し雑音防止用フィルタです。2次のRCローパスフィルタで構成されており、A/Dコンバータのサンプリング周波数帯における雑音を除去します。
CODEC A/D	入力されたアナログ信号を圧伸則に従い8ビットのPCMデータに変換します。圧伸則として、ITU-T G.711に準拠したA-Lawまたは $\mu$ -Lawをサポートします。 A-Lawでは偶数ビットの反転もおこないます。 圧伸則の選択は、ALAWNピンでおこないます。 "H": $\mu$ -Law "L": A-Law また、帯域制限用フィルタを内蔵しています。
CODEC D/A	DR端子より取り込まれた8ビットのPCMデータを圧伸則に従い伸張り再生します。圧伸則として、ITU-T G.711に準拠したA-Lawと $\mu$ -Lawをサポートします。 A-Lawでは偶数ビットの反転もおこないます。 圧伸則の選択は、ALAWNピンでおこないます。 "H": $\mu$ -Law "L": A-Law
SMF	D/Aコンバータの出力から帯域内の周波数成分を取り出すためのフィルタです。
BGREF	温度補償されたバンドギャップ電圧発生器により、安定なアナロググランド電圧を発生します。(1.5V typ) 安定化の為、1.0 $\mu$ F以上の容量を接続して下さい。但し、外部負荷は接続しないで下さい。外部負荷を接続した場合の諸特性は保証致しかねます。この電圧を外部でご利用になる場合は、バッファした出力をご利用下さい。
PCM I/F	BCLKで定められるデータレートでPCMデータを入出力します。PCMインターフェースにはLongFrame, ShortFrameの2つのモードがあります。この2つのモードはLSIが自動判定します。 PCMデータはDR, DX端子から入出力されます。

## 機能説明

## PCMコーデック

## A/D

AMPTより入力されたアナログ信号は、折り返し雑音防止用フィルタ(AAF)を通過して、8ビットのPCMデータに変換されます。変換されたPCMデータは、8ページの伝送損失周波数特性(A/D)に示す様な帯域制限フィルタを通過後、DX端子よりBCLKの立ち上がりに同期してMSBから順に出力されます。この時出力されるPCMデータはA/μ-law形式で、+フルスケールが3.14dBm0として定義され、アナログ入力側で0.762Vrmsの入力が3.14dBm0のデジタルコードに変換されます。

## D/A

DR端子よりBCLKに同期して入力されたPCMデータは、8ページの伝送損失周波数特性(D/A)の様な特性を持ったデジタルフィルタを通過後、アナログ信号に変換され、さらにSMF( $f_c=30\text{kHz typ}$ )にて高調波成分を取り除いてVR端子より出力されます。入力するPCMデータの信号は、出力時と同様にA/μ-law形式で、+フルスケールが3.14dBm0として定義されます。出力されるアナログ信号のレベルは、3.14dBm0入力時に0.762Vrmsとなります。

## PCMインタフェース

AK2301は以下の2つのPCMデータインタフェースをサポートしています。

- ・ Long Frame Sync(LF)
- ・ Short Frame Sync(SF)

PCMデータは端子(DR,DX)から順次入出力されます。  
いずれの場合もデータはMSBファーストで入出力されます。

## PCMインタフェースの選択

Long Frame/ Short frame はFSからLSIが自動的に判定します。

*LONG FRAME (LF) / SHORT FRAME (SF)*

## LF/SFの判定方法

単チャンネルCODECは、以下のように入力されたFSの”H”期間によりLong Frame, Short Frameかを自動的に判断します。

FS=”H”の期間	フレーム構成
BCLKの2周期以上	LF
BCLKの1周期	SF

## インタフェースタイミング

PCMデータは、フレーム同期信号FSに同期して、1フレーム区間(125μs)毎にそれぞれ8ビットずつDX,DR端子より入出力されます。1フレーム区間には最大32個のタイムスロット(BCLK=2.048MHz時)がありますが、本LSIはそのうちの最初のタイムスロットを使ってPCMデータを入出力します。

**FS (Frame Sync:フレーム同期信号)**

8kHzの基準入力信号です。1フレーム(125us)毎に8ビットのPCMデータが入出力されます。BCLKと同期している必要があります。

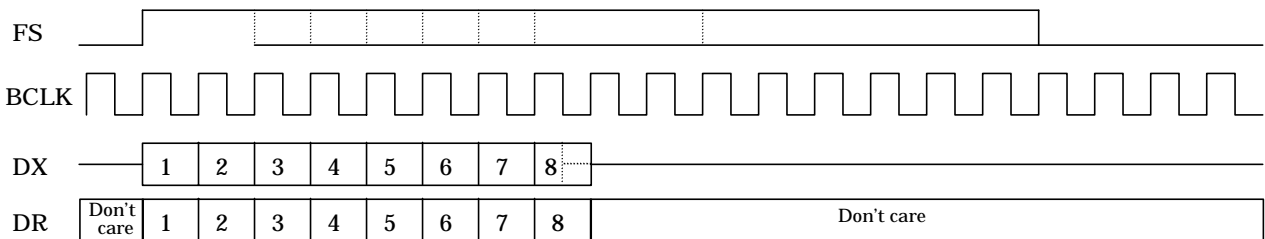
**！注意事項 <重要>**

FSを停止する際は、BCLK=LとしてAK2301をパワーダウン状態にして下さい。

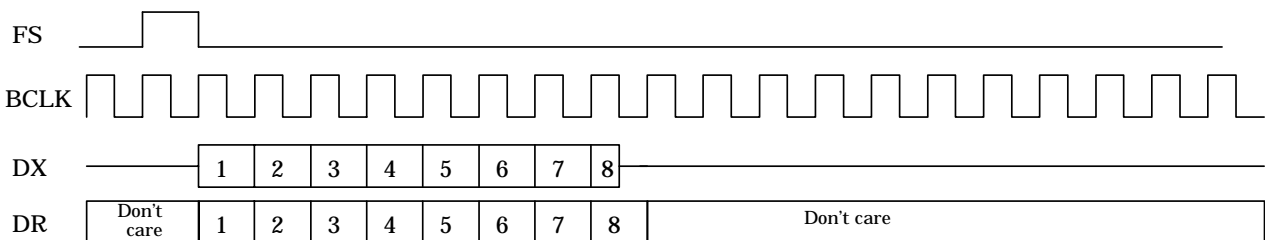
**BCLK (Bit Clock)**

PCMデータレートを定めます。BCLKは64\*N (N=1 ~ 32) kHzで選択可能です。

**LongFrame**



**ShortFrame**



## ミュート

ピン設定によってPCM CODECの出力をミュートすることが可能です。

### ミュートピンの設定

MUTEN端子	動作	DX端子	VR端子
L	ミュート	High-Impedance	アナロググランド
H	信号出力	PCMデータ出力	アナログデータ出力

#### [DX端子]

MUTEN=L時にデータ出力中の場合、データを全ビット出力した後、次のFSの先頭からミュート状態に移行します。

#### [VR端子]

MUTEN=LによりDACデジタルフィルタに0コードが入力され、D/A出力はミュート状態に移行します。

## パワーダウン

BCLK入力を「L」で停止するとパワーダウンモードに入ります。

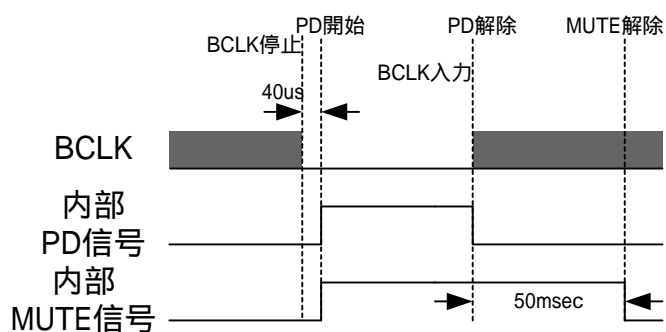
### 手順及び動作概要

#### 1)PD時

BCLK停止（L固定）後40 $\mu$ sec(typ)経過すると、AK2301はパワーダウン（PD）モードに入ります。パワーダウン中、出力ピンGST,DX,GSR,VRはHi-Z、VREF,PLLCCはVSSになります。

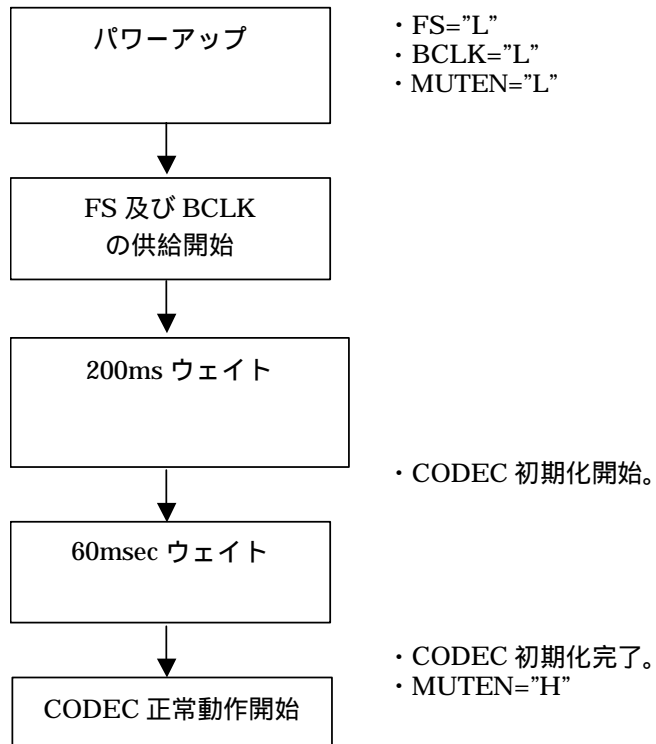
#### 2)PD解除時

PD中にBCLKとFS入力をするとPDモードが解除されます。異音出力防止の為、PD解除後50msec(typ)の間MUTE状態（DX=High-Z、VR=AGND）になります。



## パワーオン時の推奨動作手順

電源立ち上げ後AK2301を動作させる際、以下の様な手順で動作を開始されることを推奨致します。

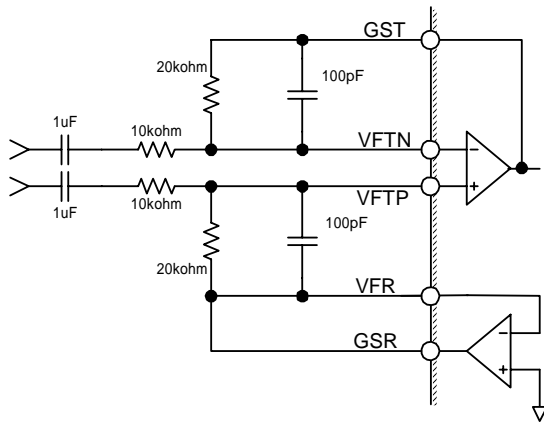




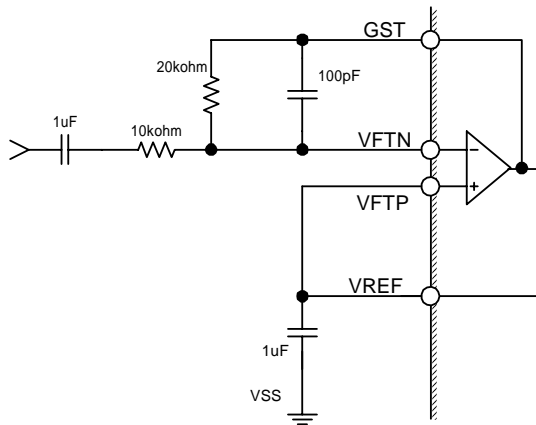
外付け推奨接続図(例)

送信アンプ

差動構成

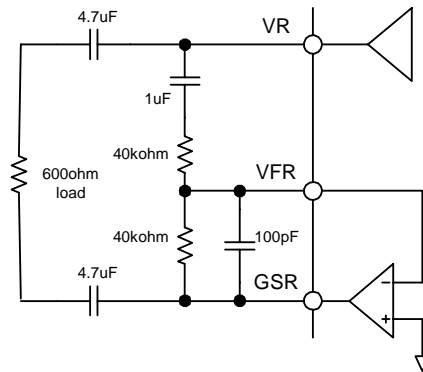


シングルエンド

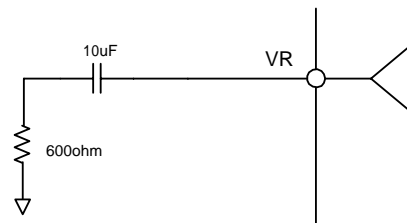


受信アンプ

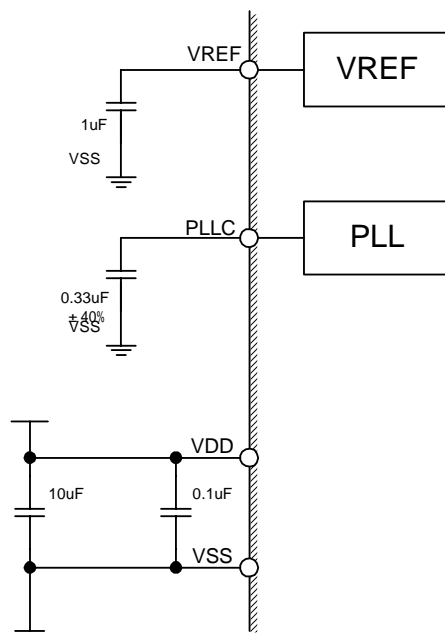
差動構成



シングルエンド



電源部、及びPLL安定化容量



## 重要な注意事項

本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際は、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。

本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。

本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。

この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。

お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。