

DS90LV012A/DS90LT012A

3V LVDS 1回路入り CMOS 差動入力ライン・レシーバ

概要

DS90LV012A/DS90LT012A は、超低消費電力、低ノイズ、高速伝送を必要とするアプリケーション用に設計された1回路入り CMOS 差動入力ライン・レシーバです。低電圧差動信号 (LVDS) の技術を用いており、400Mbps (200MHz) 以上のデータ・レートをサポートします。

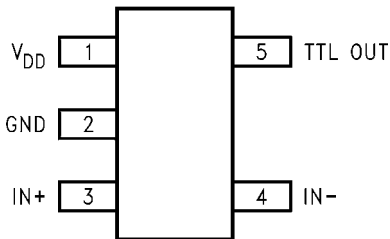
DS90LV012A/DS90LT012A は、低電圧 (350mV 代表値) の差動信号を受信し、それを 3V CMOS レベルに変換します。また入力フェイルセーフ機能は入力開放、ショート、終端 (100Ω) をサポートします。DS90LV012A はプリント基板のレイアウトを容易にするピン配列になっています。DS90LT012A は、一対一のアプリケーション向けに、入力ラインに終端抵抗を内蔵しています。

DS90LV012A/DS90LT012A、およびこれらと対になる LVDS ライン・ドライバは、消費電力の大きい PECL/ECL ドライバの代替として高速通信に用いられます。

特長

- ANSI TIA/EIA-644-A 規格と互換
- 400Mbps (200MHz) の転送レート
- 差動出力スキュー 100ps (typ)
- 伝搬遅延時間 3.5ns (max)
- ライン終端抵抗内蔵 102Ω (typ)
- 3.3V 単一電源設計 電圧範囲 2.7V ~ 3.6V
- 電源 OFF 時、入力ハイ・インピーダンス
- 小振幅差動信号レベル 350mV (typ)
- LVDS/BLVDS/LVPECL レベルを入力できる LVDS レシーバ
- 開放、短絡、終端状態に対応した入力フェイルセーフ
- プリント基板レイアウトが容易なピン配置
- 低消費電力 10mW (typ)、3.3V 時
- SOT-23 5ピンパッケージ
- DS90LV018A と電氣的に類似
- アドバンスト CMOS プロセス技術で製造
- 工業用動作温度範囲 -40°C ~ +85°C

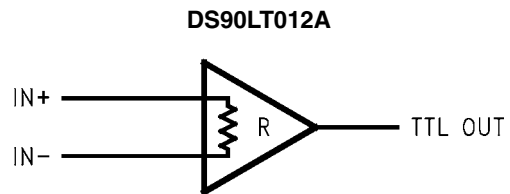
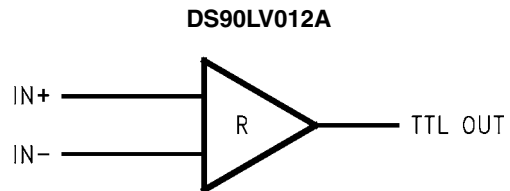
ピン配置図



(Top View)

Order Number DS90LV012ATMF, DS90LT012ATMF
See NS Package Number MF05A

機能図



真理値表

INPUTS	OUTPUT
[IN+] - [IN-]	TTL OUT
$V_{ID} \geq 0V$	H
$V_{ID} \leq -0.1V$	L
Full Fail-safe OPEN/SHORT or Terminated	H

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _{DD})	- 0.3V ~ + 4V
入力電圧 (IN +, IN -)	- 0.3V ~ + 3.9V
出力電圧 (TTL OUT)	- 0.3V ~ (V _{DD} + 0.3V)
出力短絡電流	- 100mA
最大パッケージの許容損失 (周囲温度 + 25 °Cにおいて)	
MF パッケージ	902mW
25 °C以上の周囲温度で使用される場合は、MF パッケージは 7.22mW/°C を減じてください。	
熱抵抗 (θ _{JA})	138.5 °C /W

保存温度範囲	- 65 °C ~ + 150 °C
許容リード温度 (ハンダ付け 4 秒)	+ 260 °C
最大接合部温度	+ 150 °C
ESD 耐圧 (Note 4)	

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V _{DD})	+ 2.7	+ 3.3	+ 3.6	V
動作周囲温度 (T _A)	- 40	25	+ 85	°C

電気的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用。(Note 2、3)

Symbol	Parameter	Conditions	Pin	Min	Typ	Max	Units	
V _{TH}	Differential Input High Threshold	V _{CM} dependant on V _{DD} (Note 11)	IN+, IN-		-30	0	mV	
V _{TL}	Differential Input Low Threshold				-100	-30		mV
V _{CM}	Common-Mode Voltage	V _{DD} = 2.7V, V _{ID} = 100mV		0.05		2.35	V	
		V _{DD} = 3.0V to 3.6V, V _{ID} = 100mV		0.05		V _{DD} - 0.3V	V	
I _{IN}	Input Current (DS90LV012A)	V _{IN} = +2.8V, V _{DD} = 3.6V or 0V		-10	±1	+10	μA	
		V _{IN} = 0V		-10	±1	+10	μA	
		V _{IN} = +3.6V, V _{DD} = 0V		-20		+20	μA	
ΔI _{IN}	Change in Magnitude of I _{IN}	V _{IN} = +2.8V, V _{DD} = 3.6V or 0V			4		μA	
		V _{IN} = 0V			4		μA	
		V _{IN} = +3.6V, V _{DD} = 0V			4		μA	
I _{IND}	Differential Input Current (DS90LT012A)	V _{IN+} = +0.4V, V _{IN-} = +0V V _{IN+} = +2.4V, V _{IN-} = +2.0V		3	3.9	4.4	mA	
R _T	Integrated Termination Resistor (DS90LT012A)			102			Ω	
C _{IN}	Input Capacitance	IN+ = IN- = GND		3			pF	
V _{OH}	Output High Voltage	I _{OH} = -0.4 mA, V _{ID} = +200 mV	TTL OUT	2.4	3.1		V	
		I _{OH} = -0.4 mA, Inputs terminated		2.4	3.1		V	
		I _{OH} = -0.4 mA, Inputs shorted		2.4	3.1		V	
V _{OL}	Output Low Voltage	I _{OL} = 2 mA, V _{ID} = -200 mV			0.3	0.5	V	
I _{OS}	Output Short Circuit Current	V _{OUT} = 0V (Note 5)			-15	-50	-100	mA
V _{CL}	Input Clamp Voltage	I _{CL} = -18 mA			-1.5	-0.7		V
I _{DD}	No Load Supply Current	Inputs Open		V _{DD}		5.4	9	mA

スイッチング特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用。(Note 6、7)

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
t_{PHLD}	Differential Propagation Delay High to Low	$C_L = 15 \text{ pF}$ $V_{ID} = 200 \text{ mV}$ (Figure 1 and Figure 2)	1.0	1.8	3.5	ns	
t_{PLHD}	Differential Propagation Delay Low to High		1.0	1.7	3.5	ns	
t_{SKD1}	Differential Pulse Skew $ t_{PHLD} - t_{PLHD} $ (Note 8)		0	100	400	ps	
t_{SKD3}	Differential Part to Part Skew (Note 9)		0	0.3	1.0	ns	
t_{SKD4}	Differential Part to Part Skew (Note 10)		0	0.4	1.5	ns	
t_{TLH}	Rise Time				350	800	ps
t_{THL}	Fall Time				175	800	ps
f_{MAX}	Maximum Operating Frequency (Note 12)			200	250		MHz

Note 1: 「絶対最大定格」とはこの値を超えるとデバイスの安全を保障できない値です。デバイスをこの規格値で動作することを意味しているわけではありません。「電気的特性」の表にデバイスの実際の動作条件が示されています。

Note 2: デバイスのピンに流れ込む電流はすべて正、デバイスのピンから流れ出す電流は負と示されています。特記のない限り、すべての電圧はグラウンドを基準としています (例えば V_{ID})。

Note 3: すべての代表値は、 $V_{DD} = +3.3\text{V}$ 、 $T_A = +25^\circ\text{C}$ の値です。

Note 4: ESD 耐圧

DS90LV012A:

HBM (1.5 k Ω , 100 pF) $\geq 2\text{kV}$

EIAJ (0 Ω , 200 pF) $\geq 900\text{V}$

CDM $\geq 2000\text{V}$

IEC direct (330 Ω , 150 pF) $\geq 5\text{kV}$

DS90LT012A:

HBM (1.5 k Ω , 100 pF) $\geq 2\text{kV}$

EIAJ (0 Ω , 200 pF) $\geq 700\text{V}$

CDM $\geq 2000\text{V}$

IEC direct (330 Ω , 150 pF) $\geq 7\text{kV}$

Note 5: 出力短絡電流 (I_{OS}) は大きさを表し、マイナス符号は電流の流れる方向を表しています。測定に当たっては一度につき一回路とし、接合温度 (T_J) を越えないようにしてください。

Note 6: C_L はプローブ容量と治具容量を含んでいます。

Note 7: 特記のない限り、パルス・ジェネレータの波形は、 $f = 1\text{MHz}$ 、 $Z_0 = 50\Omega$ 、IN 土に対する t_r と t_f (0% ~ 100%) $\leq 3\text{ns}$

Note 8: t_{SKD1} は同チャンネルの立ち上がりエッジと立ち下がりエッジの伝搬遅延時間の差の大きさをあらわしています。

Note 9: デバイス間スキュー t_{SKD3} は、デバイス間の任意の事象の差動チャンネル間スキューです。この仕様は、双方のデバイスの電源電圧 V_{DD} が同一で、かつ、温度は動作温度範囲内にあつて温度差が 5°C 以内の場合に適用されます。

Note 10: デバイス間スキュー t_{SKD4} は、デバイス間の任意の事象の差動チャンネル間スキューです。この仕様は、動作温度範囲と電圧範囲にわたつて適用され、プロセスばらつきを含みます。 t_{SKD4} は、差動伝搬遅延の [Max-Min] として定義されています。

Note 11: V_{DD} は常に IN + /IN - 入力より高い電圧を維持してください。IN + および IN - 入力の許容電圧範囲は、 $V_{DD} = 2.7\text{V}$ のときは $-0.05\text{V} \sim +2.35\text{V}$ 、 V_{DD} が $3.0\text{V} \sim 3.6\text{V}$ のときは $|V_{ID}|/2 \sim V_{DD} - 0.3\text{V}$ です。 $V_{DD} = 2.7\text{V}$ のときは V_{CM} が $0.05\text{V} \sim 2.35\text{V}$ の場合、 V_{DD} が $3.0\text{V} \sim 3.6\text{V}$ のときは V_{CM} が $|V_{ID}|/2 \sim V_{DD} - 0.3\text{V}$ の場合、 V_{ID} は 100mV より大きい電圧を許容できません。

Note 12: f_{MAX} ジェネレータ入力条件: $t_r = t_f < 1\text{ns}$ (0% ~ 100%)、デューティ・サイクル 50%、差動 (ピーク・ツー・ピーク $1.05\text{V} \sim 1.35\text{V}$)。出力要件: デューティ・サイクル 60%/40%、VOL (Max 0.4V)、VOH (Min 2.4V)、負荷 = 15pF (寄生容量とプローブ容量)。パラメータは設計により保証されています。リミット値は、遷移時間 (t_{TLH} と t_{THL}) を使用した PVT 範囲 (プロセス/電圧/温度) に対するデバイスの統計解析に基づいています。

Parameter Measurement Information

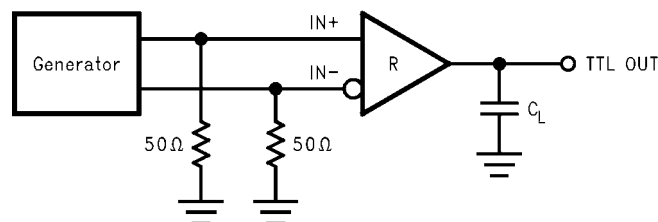


FIGURE 1. Receiver Propagation Delay and Transition Time Test Circuit

Parameter Measurement Information(つづき)

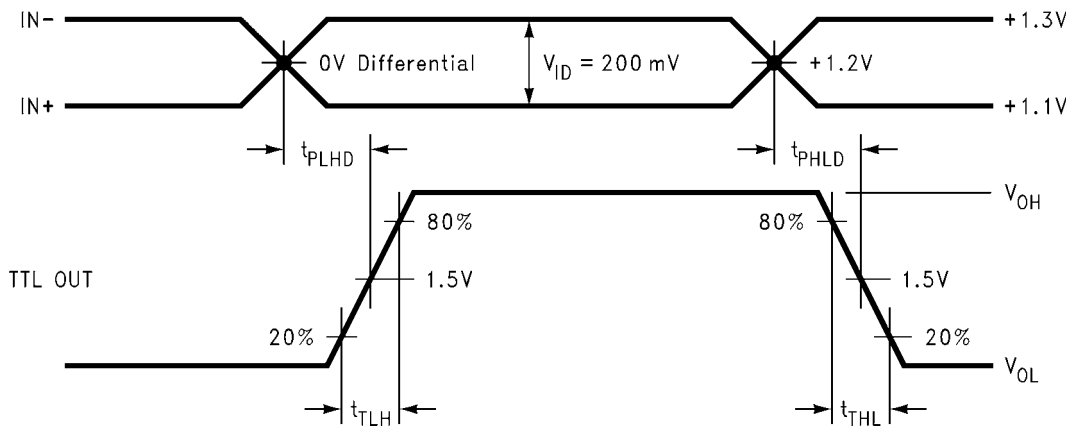


FIGURE 2. Receiver Propagation Delay and Transition Time Waveforms

代表的なアプリケーション

Balanced System

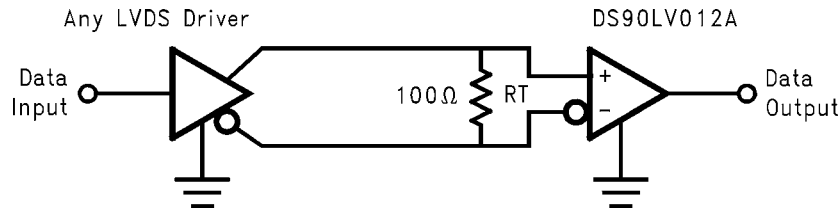


FIGURE 3. Point-to-Point Application (DS90LV012A)

Balanced System

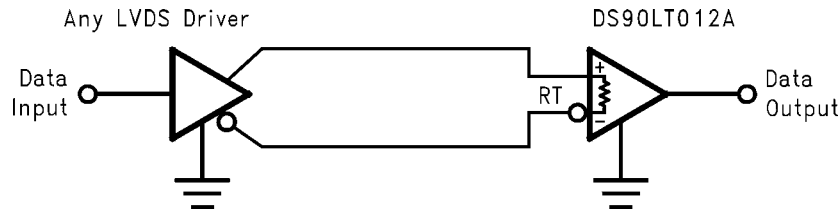


FIGURE 4. Point-to-Point Application (DS90LT012A)

アプリケーション情報

LVDS ドライバおよびレシーバの一般的なアプリケーションのガイドラインとヒントについては、LVDS オーナーズ・マニュアル (#550062-003)、アプリケーション・ノート AN-808、AN-977、AN-971、AN-916、AN-805、AN-903 を参照してください。

LVDS のドライバ、レシーバは、Figure 3 に示すように 1 対 1 (一組のドライバ、レシーバ) の構成に使用する目的で作られています。ドライバの出力波形は速いエッジ・レートを持ち、かつクリーンな波形を出力します。レシーバは標準的なツイストペア・ケーブル、平行ケーブルおよび PCB パターン等の平衡伝送経路を経由してドライバに接続されます。標準的なメディアのインピーダンスは 100Ω 近辺の範囲にあり、一般的に終端抵抗はメディアの特性インピーダンスに合わせます。100Ω の終端抵抗 (メディアに整合するよう選択) を、レシーバ入力ピンの可能な限り近くに配置します。終端抵抗は、ドライバ出力 (電流モード) をレシーバが感受できる電圧に変換します。マルチレシーバのような構成も可能ですが、グラウンド・シフト、ノイ

ズ・マージン、総終端負荷と合わせて、バス上のコネクタ、ケーブルのスタブ長、インピーダンス不整合の原因となるさまざまな影響を考慮する必要があります。

DS90LV012A/DS90LT012A 差動ライン・レシーバは 1.2V を中心にした ±1V の同相電圧範囲内での 100mV の信号を検出します。これはドライバ出力が約 1.2V のオフセット電圧をもち、この電圧を中心にして ±1V 以内の同相電圧範囲内で信号を出力できるからです。この許容できる ±1V の電圧変位は、ドライバとレシーバとのグラウンド電位の差や同相ノイズ、またはこれらを組み合わせた結果、生じる場合があります。正負レシーバ入力ピンの AC パラメータは、0V ~ +2.4V (各ピンとグラウンド間で測定) の推奨動作入力電圧範囲に最適化されています。レシーバ入力電圧は V_{DD} まで対応しており、V_{DD} を超えると ESD 保護回路が動作してバス電圧のクランプが起こります。

アプリケーション情報 (つづき)

電源デカップリングの推奨

電源ピンにはバイパス・コンデンサを接続しなくてはなりません。0.1 μ F と 0.001 μ F の高周波セラミック・コンデンサ (表面実装品を推奨) を並列に、かつ、小容量のコンデンサのほうを電源ピンの近くに配置してください。プリント基板全体にバイパス・コンデンサを追加実装すると、デカップリング性能を向上させることができます。複数のビアを使用してデカップリング・コンデンサと電源層を接続してください。プリント基板に対するシステム電源の供給部には、電源とグラウンド間に、10 μ F (35V) 以上の固形タンタル・コンデンサを接続してください。

プリント基板の考慮事項

4 層基板以上を推奨します。振り分けは、上面より LVDS 信号、グラウンド、電源、TTL 信号の順序です。

LVDS 信号に TTL 信号がカップリングしないよう、LVDS 配線と TTL 配線は分離してください。電源/グラウンド・プレーンによって分離された異なる層に、TTL 信号と LVDS 信号をそれぞれ分けて配線するのが最善の方法です。

LVDS ポート側のドライバとレシーバはコネクタの近くに配置してください。

LLP パッケージをプリント基板に実装する際の注意事項は、アプリケーション・ノート AN-1187 「リードレス・リードフレーム・パッケージ」を参照してください。ノイズ・カップリングとジッタを抑止して高い信号インテグリティを維持するためには、LLP のパッケージ底面の長方形領域にある金属製 (通常は銅) のサーマル・ランド・パッドをグラウンドに実装し、プリント基板の露出パッドと面積を合わせてください (1 対 1)。

差動ライン

使用する伝送メディアの差動インピーダンス、および終端抵抗値に整合するように、配線インピーダンスを制御してください。デバイスから出力されたあとは、差動ラインの配線はできる限り間隔を狭くします (スタブ長も 10mm 以内に抑えます)。これにより信号反射と、コモンモードとして重畳する同相ノイズが低減されます。実際 1mm のパターン間隔は 3mm のパターン間隔より輻射ノイズが軽減していることを確認しています。また、差動ラインに励起されるノイズは、どちらかと言えばコモンモードとして現れる場合が多く、レシーバによって除去されます。

信号スキューを低減するために電氣的な配線長は等しくしてください。ペア信号間にスキューが存在すると、信号間に位相差が生まれ磁界を打ち消し合う効果が減少し、結果として EMI 問題を引き起こします (電気信号の伝達の速度は、 $v = c/Er$ 、 c (光速) = 0.2997mm/ps または 0.0118in/ps)。差動配線では、CAD の自動配線のみには頼ってはいけません。差動インピーダンスが整合するよう配線長に充分配慮し、かつ、差動信号を他の配線から分離してください。スルーホールやその他ライン上の不連続線は最小にしてください。

90° の直角配線は避けてください (インピーダンス不整合を招きます)。円弧もしくは 45° で配線してください。

レシーバでの同相除去性能を維持するため、差動ペア間の配線間隔はできるだけ短くしてください。プリント・パターン上の対になったパターンの間隔はインピーダンスの変化を最小に抑えるため一定に保ちます。接続部では、多少のインピーダンス不整合は許容されます。

終端抵抗

DS90LV012A

終端抵抗は使用する差動ラインの特性インピーダンスにあわせ、通常、終端抵抗値は 90 Ω ~ 130 Ω の範囲内に設定します。電流モード出力は、電圧を生成するために終端抵抗が必要なことに注意してください。抵抗終端を行わないと LVDS は正しく動作しません。一般に、レシーバ端で差動ペア間に単一の抵抗を接続すれば十分です。

誤差 1 ~ 2% の表面実装抵抗が最適です。プリント基板のスタブ長、デバイスのリード長、終端抵抗からレシーバまでの配線長を最短にしてください。終端抵抗とレシーバ・ピンまでの距離は、10mm 未満としてください (最長でも 12mm)。

DS90LT012A

DS90LT012A は、一対一のアプリケーション向けに、入力に終端抵抗を内蔵しています。抵抗値は 90 Ω ~ 133 Ω の範囲です。

スレッショルド

LVDS スタンダード (ANSI/TIA/EIA-644-A) では、LVDS レシーバのスレッショルドは最大 ± 100 mV と規定されています。DS90LV012A/DS90LT012A ではこれを変更してスレッショルド範囲を -100 mV / $+0$ V にしています。これはフェイルセーフ・バイアスに適しているからです。スレッショルド範囲を Figure 5 の VTC (Voltage Transfer Curve) に示します。DS90LV012A/DS90LT012A の LVDS レシーバは、標準定格 (typ) の場合、およそ -30 mV でスイッチします。V_{ID} = 0V の場合、出力は High になります。ここで外部抵抗を用いて $+25$ mV のフェイルセーフ・バイアスを印加した場合、レシーバのスイッチ電圧とバイアス電圧との差が差動ノイズ・マージンの標準定格 (typ) 値になります。すなわち上述の例では差動ノイズ・マージンは 55mV となります ($+25$ mV - (-30 mV))。このようにスレッショルド範囲を変更すれば、わずかに $+25$ mV (0V 基準) の外部フェイルセーフ・バイアスを与えるだけで、55mV の差動ノイズ・マージンを確保できるようになりました。一方、LVDS スタンダードで規定されているスレッショルド範囲 ± 100 mV では、外部フェイルセーフ・バイアスは $+100$ mV 基準での $+25$ mV (すなわち $+125$ mV) が必要となり、差動ノイズ・マージンとしては 155mV が得られますが、フェイルセーフ・バイアス電圧は DS90LV012A/DS90LT012A で、必要なバイアス電圧よりも高くなります。なお DS90LV012A/DS90LT012A で、より大きな差動ノイズ・マージンが必要な場合は、抵抗値を変更してフェイルセーフ・バイアス電圧を高くします。

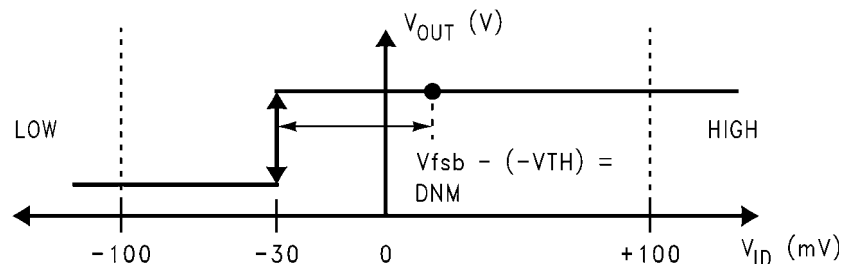


FIGURE 5. VTC of the DS90LV012A and DS90LT012A LVDS Receivers

アプリケーション情報 (つづき)

フェイルセーフ動作

LVDS レシーバは小さい差動入力電圧 (20mV) を CMOS ロジックに変換する高ゲイン、ハイ・スピードのアンプです。このように高ゲイン、低い差動入力のため有効信号からノイズなどの発生については注意を払います。

レシーバ内蔵のフェイルセーフ回路は、レシーバ入力が開放、終端、または短絡の場合に、微小な電流をソース/シンクして、フェイルセーフ保護を行います (High 出力電圧が得られる既知のステートにします)。

1. 入力ピンが開放の場合

DS90LV012A/DS90LT012A は 1 回路入りレシーバです。差動入力ピンを電源電圧やグラウンドに接続する必要はありません。入力が開放の場合でも、内部フェイルセーフ回路は安定した High 出力ステートを保証します。

2. 差動入力ピンが終端された状態

ドライバがディスエーブル、電源 OFF 時、あるいはコネクタが外れた場合、100Ω の終端抵抗が接続された状態でもレシーバの出力を High に固定します。送信側と受信側を接続しているコネクタが、送信側で外れて受信側におら下がっている場合、ケーブルがフローティング・アンテナになりノイズなどを拾うことがあります。ケーブルが 10mV 以上のノイズを差動ノイズとして拾ってしまうと、レシーバはノイズを有効な信号と見なしてスイッチング動作を行うおそれがあります。あらゆるノイズを差動ノイズではなく同相ノイズとして認識させるため、平衡インターコネクタを使用してください。ツイストペア・ケーブルの方がフラットリボン・ケーブルより優れています。

3. 差動入力ピン同士が短絡された状態

差動入力ピン同士が短絡されるフォールト条件が起こると、差動入力には 0V となり、レシーバ出力は High 状態を維持します。入力短絡フェイルセーフは、デバイスの同相電圧範囲 (0 ~ 2.4V) に対してはサポートされません。外部から同相電圧が印加されていない場合にのみサポートされます。

比較的低い抵抗値 (強いバイアス) の外付けプルアップ抵抗とプルダウン抵抗を使用すると、高ノイズ・レベルに対するフェイ

ルセーフ性能を高めることができます。プルアップ抵抗とプルダウン抵抗は、ドライバに対する負荷の増分と波形歪みを抑えるために、5kΩ ~ 15kΩ の範囲にしてください。同相バイアス点は、内部回路と互換になるように、およそ 1.2V (1.75V 未満) に設定してください。

DS90LV012A/DS90LT012A は初版の ANSI EIA/TIA-644 スタンダードに準拠しています。また新しい ANSI EIA/TIA-644-A スタンダードに対しては、追加された ΔI_{IN} 仕様を除いて準拠しています。内部フェイルセーフ回路があるため、6μA という ΔI_{IN} 仕様の最大値を満足できません。この例外は 10 個を超えるレシーバを使用しないかぎり問題にはなりません。

フェイルセーフ・バイアスに関する追加情報は、「アプリケーション・ノート AN-1194」を参照してください。

LVDS 伝送線路のプロローピング

LVDS 信号ラインの測定には信号ラインへの影響を極力少なくするため、高入力インピーダンス (100kΩ 以上)、低入力容量 (2pF 以下) の測定プローブを使用し、オシロスコープの帯域は 1GHz 以上のものを使用します。適切なプローブを使用しないと、結果に悪影響を与えます。

ケーブルとコネクタに関する一般的注意事項

LVDS で使用するケーブルやコネクタの選択は重要です。

使用するメディアは調整されたインピーダンスのものを使用します。ケーブルやコネクタは約 100Ω の伝送特性インピーダンスのものを推奨します。大幅なインピーダンス不整合を招いてはなりません。

平衡ケーブル (ツイストペア) は不平衡ケーブル (リボン・ケーブル、単線の同軸ケーブル) に比べて、ノイズの低減や信号品質が優れています。平衡ケーブルは EMI (電磁放射ノイズ) の発生が少ない傾向にあり、また同相の電磁放射ノイズはレシーバによって除去できます。

ケーブル長が 50cm 未満の場合は、ほぼすべてのケーブル種が使用できます。50cm から 10m の範囲では、入手が容易で相対的に安価な CAT3 (カテゴリ 3) ツイストペア線が適当です。

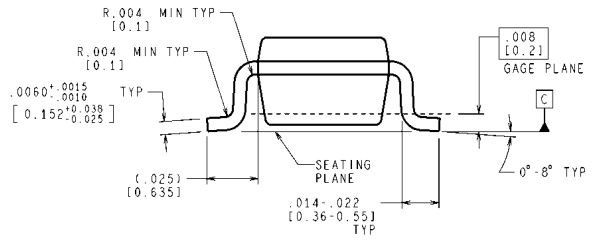
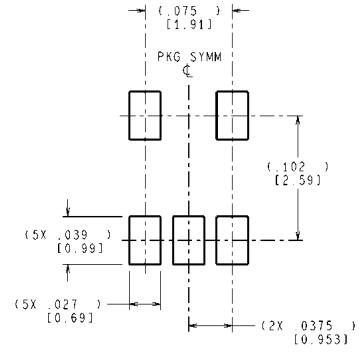
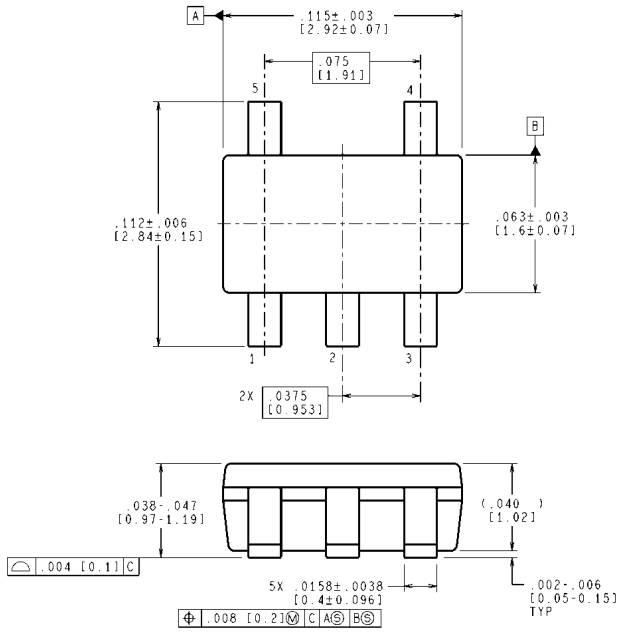
ピン説明

パッケージ・ピン番号	ピン名	説明
SOT23		
4	IN -	反転レシーバ入力ピン
3	IN +	非反転レシーバ入力ピン
5	TTL OUT	レシーバ出力ピン
1	V _{DD}	電源ピン、+ 3.3V ± 0.3V
2	GND	グラウンド・ピン
	NC	未接続

製品情報

Operating Temperature	Package Type/ Number	Order Numbers
-40°C to +85°C	MF05A	DS90LV012ATMF, DS90LT012ATMF

外形寸法図 特記のない限り inches (millimeters)



CONTROLLING DIMENSION IS INCH
 VALUES IN [] ARE MILLIMETERS
 DIMENSIONS IN () FOR REFERENCE ONLY

MF05A (Rev D)

5-Lead SOT23, JEDEC MO-178, 1.6mm
 Order Number DS90LV012ATMF, DS90LT012ATMF
 NS Package Number MF05A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/