

AKM

# AK4554

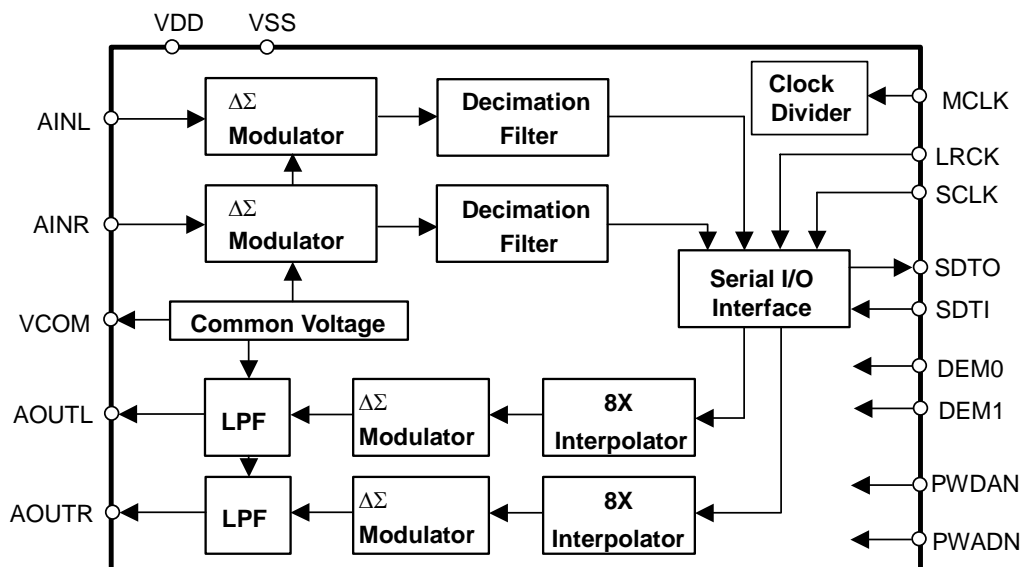
## Low Power & Small Package 16bit $\Delta\Sigma$ CODEC

### 概要

AK4554はポータブル・デジタルオーディオ機器用に開発された低電圧16bit A/D,D/Aコンバータです。スイッチト・キャパシタフィルタ(SCF)技術の採用によりクロックジッタによる、S/Nの劣化はほとんどありません。アナログ入出力はシングルエンドになっており、外付け部品をほとんど必要としません。また、低消費電力かつ小型パッケージ化を図っていますので、ポータブル用途には最適です。

### 特長

- DC-offset キャンセル用HPF内蔵( $f_c=3.4\text{Hz}$ )
- シングルエンドADC
  - S/(N+D): 80dB@VDD=2.5V
  - Dynamic Range, S/N: 89dB@VDD=2.5V
- シングルエンドDAC
  - ディエンファシス内蔵(32kHz, 44.1kHz, 48kHz対応)
  - S/(N+D): 85dB@VDD=2.5V
  - Dynamic Range, S/N: 92dB@VDD=2.5V
- オーディオI/Fフォーマット: MSB First, 2's Compliment (AK4550互換)
  - ADC: 16bit前詰め
  - DAC: 16bit後詰め
- 入出力レベル:  $0.6 \times VDD$  ( $=1.5\text{Vpp@VDD}=2.5\text{V}$ )
- 強ジッタ耐力
- サンプリングレート: 8kHz ~ 50kHz
- マスタクロック: 256fs/384fs/512fs/768fs ( $f_s=8\text{kHz}\sim 50\text{kHz}$ )  
1024fs ( $f_s=8\text{kHz}\sim 25\text{kHz}$ )
- 電源電圧: 1.6 ~ 3.6V
- 低消費電流: 8mA@VDD=2.5V
- $T_a = -40 \sim 85$
- 超小型パッケージ: 16pin TSSOP (AK4550ピン互換)



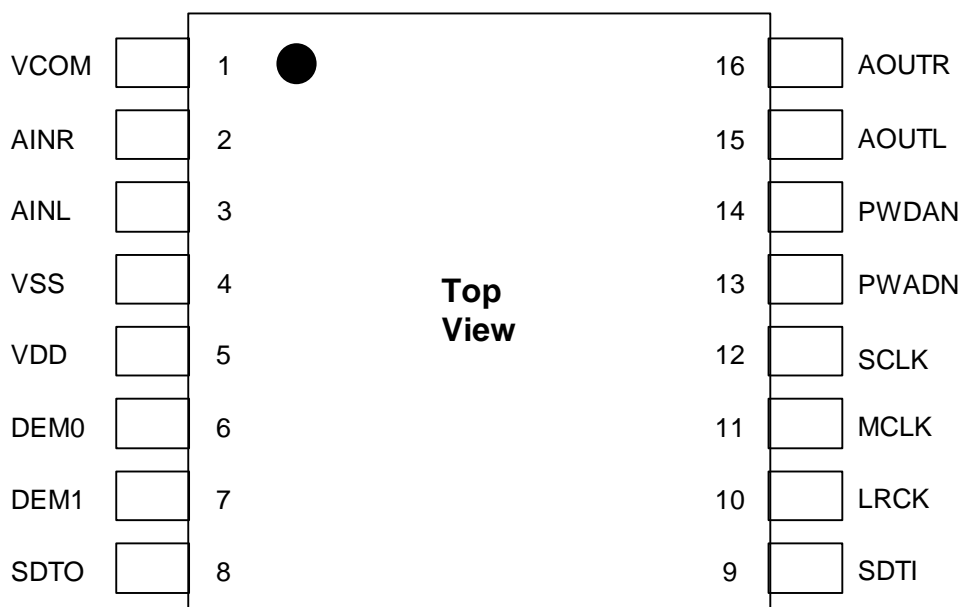
## ■ オーダリングガイド

AK4554VT  
AKD4554

-40 ~ +85°C  
AK4554用評価ボード

16pin TSSOP (0.65mm pitch)

## ■ ピン配置



## ■ AK4550との互換性

項目	AK4550	AK4554
電源電圧	2.3 ~ 3.6V	1.6 ~ 3.6V
VCOM pin	0.45 x VDD	0.5 x VDD
ADC S/(N+D) (typ)	82dB	80dB
ADC Input Resistance (typ)	100kΩ	70kΩ
ADC PSRR (typ)	35dB	45dB
消費電流 (typ)		
AD+DA	10mA	8mA
AD	5.6mA	4mA
DA	5.6mA	4.4mA
DACデジタルフィルタ		
Stopband Attenuation (min)	43dB	54dB
Passband Ripple (max)	±0.06dB	±0.02dB
Group Delay	14.8/fs	19.0/fs
MCLK	256fs/384fs/512fs	256fs/384fs/512fs/768fs (fs=8~50kHz) 1024fs (fs=8~25kHz)
外付け回路		
VCOM pin	4.7μF + 0.1μF	0.1μF
AINL, AINR pins	RCフィルタ必要	RCフィルタ不要 (内蔵)

## ピン/機能

No.	ピン名称	I/O	機 能
1	VCOM	O	コモン電圧出力ピン, 0.5 x VDD
2	AINR	I	Rchアナログ入力ピン
3	AINL	I	Lchアナログ入力ピン
4	VSS	-	グランドピン
5	VDD	-	電源ピン
6	DEM0	I	ディエンファシスコントロール0ピン
7	DEM1	I	ディエンファシスコントロール1ピン
8	SDTO	O	オーディオシリアルデータ出力ピン
9	SDTI	I	オーディオシリアルデータ入力ピン
10	LRCK	I	L/Rチャンネルクロックピン
11	MCLK	I	マスタクロック入力ピン
12	SCLK	I	オーディオシリアルデータクロックピン
13	PWADN	I	ADCパワーダウン & リセットモードピン “L”: パワーダウンモード。電源ON時は必ず一度リセットして下さい。
14	PWDAN	I	DACパワーダウン & リセットモードピン “L”: パワーダウンモード。電源ON時は必ず一度リセットして下さい。
15	AOUTL	O	Lchアナログ出力ピン
16	AOUTR	O	Rchアナログ出力ピン

注: デジタル入力ピンはオープンにしないで下さい。

### ■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	AINR, AINL, AOUTL, AOUTR	オープン
Digital	SDTO	オープン
	SDTI	VSSに接続

<b>絶対最大定格</b>
---------------

(VSS=0V; 注 1)

Parameter	Symbol	min	max	Units
Power Supply	VDD	-0.3	4.6	V
Input Current (any pins except for supplies)	IIN	-	±10	mA
Input Voltage	VIN	-0.3	VDD+0.3	V
Ambient Temperature (power applied)	Ta	-40	85	°C
Storage Temperature	Tstg	-65	150	°C

注 1. 電圧はすべてグランドピンに対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

<b>推奨動作条件</b>
---------------

(VSS=0V; 注 1)

Parameter	Symbol	min	typ	max	Units
Power Supply	VDD	1.6	2.5	3.6	V

注 1. 電圧はすべてグランドピンに対する値です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

<b>アナログ特性</b>
---------------

(特記なき場合は Ta=25°C; VDD=2.5V; fs=44.1kHz; Signal Frequency =1kHz; SCLK=64fs;  
Measurement frequency=20Hz ~ 20kHz)

Parameter	min	typ	max	Units	
<b>ADC Analog Input Characteristics: (注 2)</b>					
Resolution	-	-	16	Bits	
S/(N+D) (-0.5dB Input)	70	80	-	dB	
D-Range (-60dB Input, A-weighted)	82	89	-	dB	
S/N (A-weighted)	82	89	-	dB	
Interchannel Isolation	80	95	-	dB	
Interchannel Gain Mismatch	-	0.2	0.5	dB	
Input Voltage (注 3)	1.35	1.50	1.65	Vpp	
Input Resistance	40	70	-	kΩ	
Power Supply Rejection (注 4)	-	45	-	dB	
<b>DAC Analog Output Characteristics:</b>					
Resolution	-	-	16	Bits	
S/(N+D)	75	85	-	dB	
D-Range (-60dB Output, A-weighted)	86	92	-	dB	
S/N (A-weighted)	86	92	-	dB	
Interchannel Isolation	80	95	-	dB	
Interchannel Gain Mismatch	-	0.2	0.5	dB	
Output Voltage (注 3)	1.35	1.50	1.65	Vpp	
Load Resistance	10	-	-	kΩ	
Load Capacitance	-	-	30	pF	
Power Supply Rejection (注 4)	-	50	-	dB	
<b>Power Supplies</b>					
<b>Power Supply Current</b>					
AD+DA	PWADN= "H", PWDAN= "H"	-	8	13	mA
AD	PWADN= "H", PWDAN= "L"	-	4	-	mA
DA	PWADN= "L", PWDAN= "H"	-	4.4	-	mA
Power down (注 5)	PWADN= "L", PWDAN= "L"	-	10	50	μA
<b>Power Consumption</b>					
AD+DA	PWADN= "H", PWDAN= "H"	-	20	32.5	mW
AD	PWADN= "H", PWDAN= "L"	-	10	-	mW
DA	PWADN= "L", PWDAN= "H"	-	11	-	mW
Power down (注 5)	PWADN= "L", PWDAN= "L"	-	25	125	μW

注 2. ADCのオフセットは内部のHPFで除去されます。

注 3. ADC, DACのInput/Output Voltage はVDD電圧に比例します。0.6 x VDD(typ)。

注 4. VDDに1kHz, 50mVppの正弦波を重畳し、AINL/R pin =無入力、SDTI= "0"データ入力の場合の値です。

注 5. パワーダウン時、クロック(MCLK, SCLK, LRCK)を含むすべてのデジタル入力ピンはVDDあるいはVSSに固定した場合の値です。ただし、PWADN, PWDAN はVSSに固定です。

### フィルタ特性

(Ta=25°C; VDD=1.6 ~ 3.6V; fs=44.1kHz; DEM1 pin = "L", DEM0 pin = "H")

Parameter	Symbol	min	typ	max	Units	
<b>ADC Digital Filter (Decimation LPF):</b>						
Passband (注 6)	±0.1dB	PB	0	-	17.4	kHz
	-1.0dB		-	20.0	-	kHz
	-3.0dB		-	21.1	-	kHz
Stopband	SB	25.7	-	-	kHz	
Passband Ripple	PR	-	-	±0.1	dB	
Stopband Attenuation	SA	65	-	-	dB	
Group Delay (注 7)	GD	-	17.0	-	1/fs	
Group Delay Distortion	ΔGD	-	0	-	μs	
<b>ADC Digital Filter (HPF):</b>						
Frequency Response (注 6)	-3dB	FR	-	3.4	-	Hz
	-0.5dB		-	10	-	Hz
	-0.1dB		-	22	-	Hz
<b>DAC Digital Filter:</b>						
Passband (注 6)	±0.05dB	PB	0	-	20.0	kHz
	-6.0dB		-	22.05	-	kHz
Stopband	SB	24.1	-	-	kHz	
Passband Ripple	PR	-	-	±0.02	dB	
Stopband Attenuation	SA	54	-	-	dB	
Group Delay (注 7)	GD	-	19.0	-	1/fs	
<b>DAC Digital Filter + Analog Filter:</b>						
Frequency Response	0 ~ 20.0kHz	FR	-	±0.5	-	dB

注 6. 各振幅特性の周波数は fs(システムサンプリングレート)に比例します。例えば、PB=20.0kHz(@ADC: -1.0dB, DAC: -0.1dB)は0.454 x fsです。

注 7. デジタルフィルタによる演算遅延で、ADC部はアナログ信号が入力されてから両チャンネルの16bitデータが出力レジスタにセットされるまでの時間です。DAC部は16bitデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

### DC特性

(Ta=25°C; VDD=1.6 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	2.2V ≤ VDD ≤ 3.6V	VIH	70%VDD	-	V
	1.6V ≤ VDD < 2.2V	VIH	80%VDD	-	V
Low-Level Input Voltage	2.2V ≤ VDD ≤ 3.6V	VIL	-	30%VDD	V
	1.6V ≤ VDD < 2.2V	VIL	-	20%VDD	V
High-Level Output Voltage (Iout = -20μA)	VOH	VDD-0.1	-	-	V
Low-Level Output Voltage (Iout = 20μA)	VOL	-	-	0.1	V
Input Leakage Current	Iin	-	-	±10	μA

<b>スイッチング特性</b>
-----------------

(Ta=25°C; VDD=1.6 ~ 3.6V; CL=20pF)

Parameter	Symbol	min	typ	max	Units
<b>Master Clock Timing</b>					
Frequency	fCLK	2.048	-	38.4	MHz
	fCLK	2.048	-	25.6	MHz
Duty Cycle	dCLK	40	-	60	%
<b>LRCK Timing</b>					
Frequency	fs	8	44.1	50	kHz
Duty Cycle	Duty	45	50	55	%
<b>Serial Interface Timing</b>					
SCLK Period	tSCK	1/(96fs)	-	-	ns
	tSCK	312.5	-	-	ns
SCLK Pulse Width Low	tSCKL	130	-	-	ns
Pulse Width High	tSCKH	130	-	-	ns
LRCK Edge to SCLK “↑” (注 8)	tLRS	50	-	-	ns
SCLK “↑” to LRCK Edge (注 8)	tSLR	50	-	-	ns
LRCK Edge to SDTO (MSB)	tDLR	-	-	80	ns
SCLK “↓” to SDTO	tDSS	-	-	80	ns
SDTI Hold Time	tSDH	50	-	-	ns
SDTI Setup Time	tSDS	50	-	-	ns
<b>Reset Timing</b>					
PWADN or PWDAN Pulse Width	tPW	150	-	-	ns
PWADN “↑” to SDTO Valid (注 9)	tPWV	-	2081	-	1/fs

注 8. この規格値はLRCKのエッジとSCLKの“↑”が重ならないように規定しています。

注 9. PWADNを立ち上げてからのLRCKクロックの“↑”の回数です。

■ タイミング波形

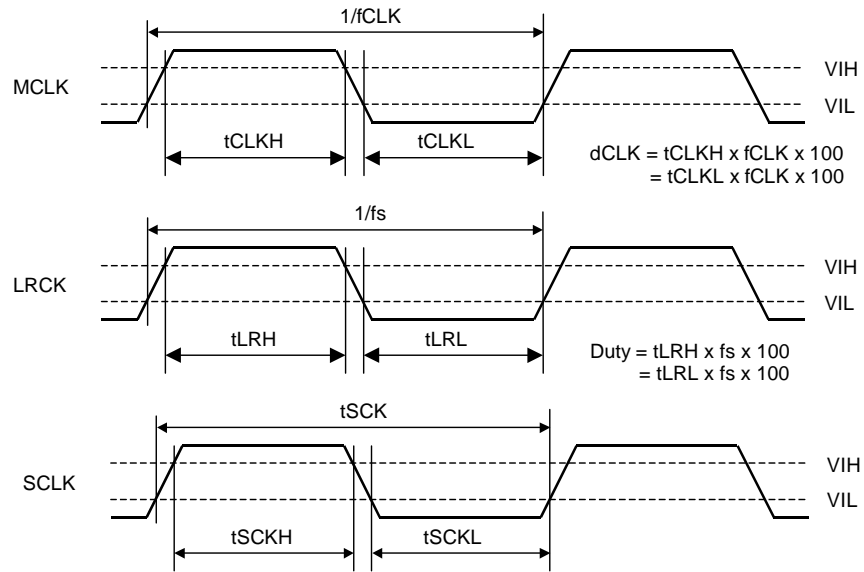


図 1. クロックタイミング

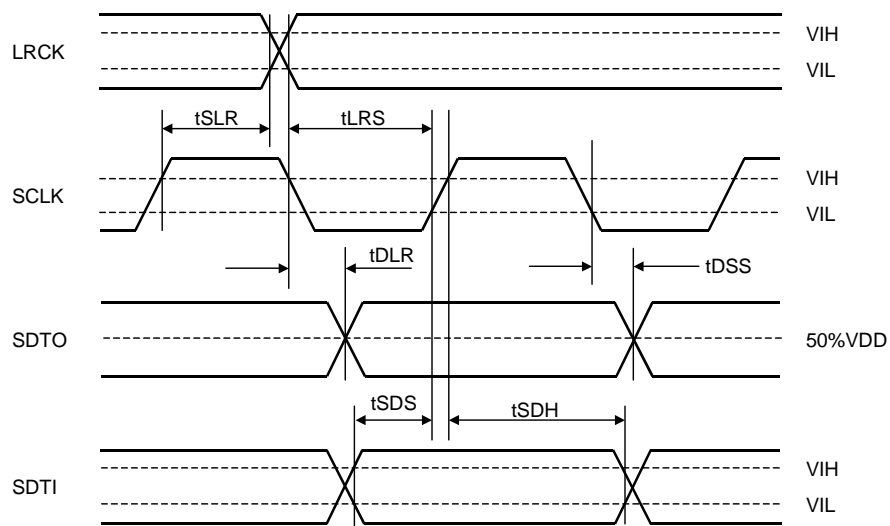


図 2. シリアルインタフェースタイミング

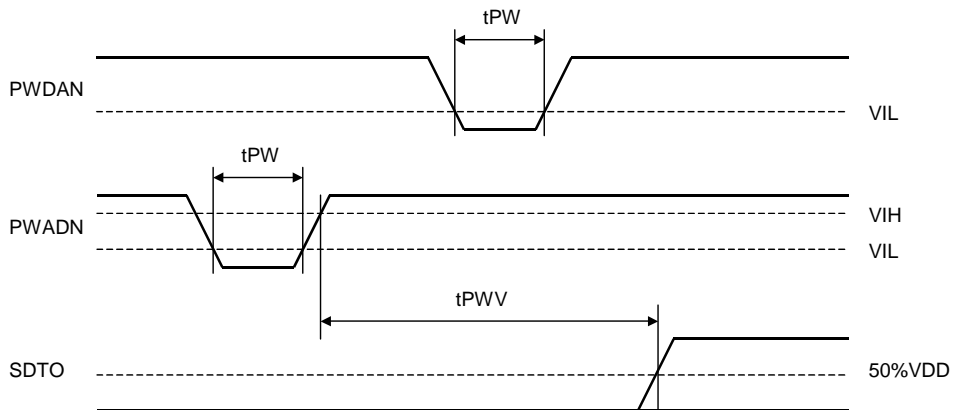


図 3. リセット & 初期化タイミング



## 機能説明

## ■ システムクロック

AK4554は、MCLK=256fs/384fs/512fs/768fs/1024fsを入力することができます(1024fsはfs=25kHz以下)。入力されたクロックは自動検出され、内部で256fsに分周されます。MCLK=1024fs入力時はDACのオーバーサンプリングレートが128fsから256fsに自動的に切り替わります(fsはサンプリングレートです)。MCLK pinに入力されるクロックとサンプリングレートとの関係は表1で示されます。サンプリングクロック(LRCK)はMCLKと同期する必要はありませんが位相を合わせる必要はありません。

動作中に各クロックの周波数変更等で内部のタイミングがずれた場合は、クリックノイズを発生する可能性があります。

全パワーダウン時(PWADN=PWDAN=“L”)以外は、各外部クロック(MCLK, SCLK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。

fs	MCLK					SCLK	
	256fs	384fs	512fs	768fs	1024fs	32fs	64fs
8.0kHz	2.0480MHz	3.0720MHz	4.0960MHz	6.1440MHz	8.1920MHz	0.2560MHz	0.512MHz
16.0kHz	4.0960MHz	6.1440MHz	8.1920MHz	12.2880MHz	16.3840MHz	0.5120MHz	1.024MHz
32.0kHz	8.1920MHz	12.2880MHz	16.3840MHz	24.5760MHz	N/A	1.0240MHz	2.048MHz
44.1kHz	11.2896MHz	16.9344MHz	22.5792MHz	33.8688MHz	N/A	1.4112MHz	2.822MHz
48.0kHz	12.2880MHz	18.4320MHz	24.5760MHz	36.8640MHz	N/A	1.5360MHz	3.072MHz

表1. システムクロック例

低速サンプリング時は帯域外ノイズのため、DAC出力のS/Nが劣化します。MCLKに入力するクロックを1024fsとすることで、S/Nを改善することができます。

fs	MCLK	S/N(fs=8kHz, A-weighted)
8kHz ~ 50kHz	256fs/384fs/512fs/768fs	84dB
8kHz ~ 25kHz	1024fs	90dB

表2. サンプリング周波数, MCLK周波数とDAC S/Nの関係

■ シリアルデータインタフェース

オーディオデータフォーマットはSCLKとLRCKを使ってSDTI/SDTO pinから入出力されます。データフォーマットは2'sコンプリメントのMSBファーストです。

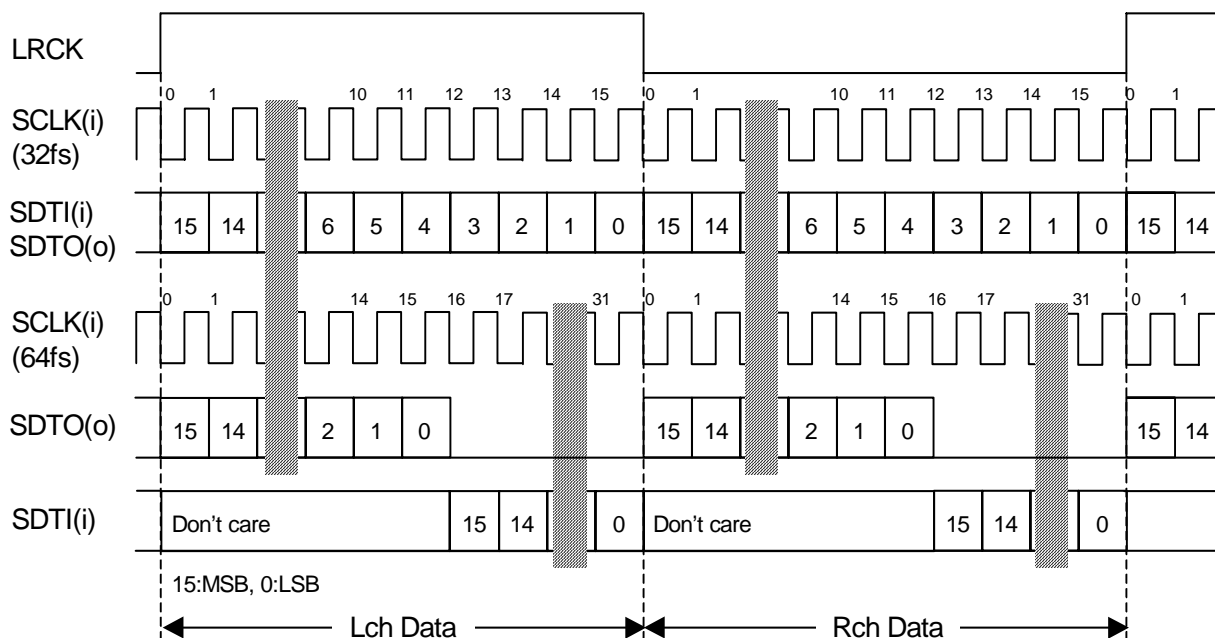


図 4. オーディオインタフェースタイミング

■ ディエンファシスフィルタ

DACはIIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15μs特性)を内蔵しています。入力データに対してDEM1, DEM0 pinで選択された周波数のディエンファシスフィルタが有効になります。ディエンファシスはDEM1 pin = “L”, DEM0 pin = “H”で無効にできます。

DEM1 pin	DEM0 pin	Mode
L	L	44.1kHz
L	H	OFF
H	L	48kHz
H	H	32kHz

表 3. ディエンファシスフィルタコントロール

■ デジタルHPF

ADCはDCオフセットキャンセル用のHPFを内蔵しています。HPFのカットオフ周波数は3.4Hz(@fs=44.1kHz)で、20Hzの時-0.12dBです。これは、サンプリング周波数(fs)に比例します。

■ パワーダウンとリセット

AK4554のADCとDACは各パワーダウンピン(PWADN, PWDAN)を“L”にすることで独立にパワーダウンでき、この時、同時に各デジタルフィルタがリセットされます。各パワーダウンピンによるリセットは電源投入時に必ず一度行って下さい。ADCの場合、パワーダウンモードが解除されると初期化サイクルが開始されます。そのため、出力データ、SDTOは2081xLRCKサイクル後確定します。DACにはこの初期化動作はありません。図5はDACを先に立ち上げた後、ADCを立ち上げた場合のシーケンスを示します。

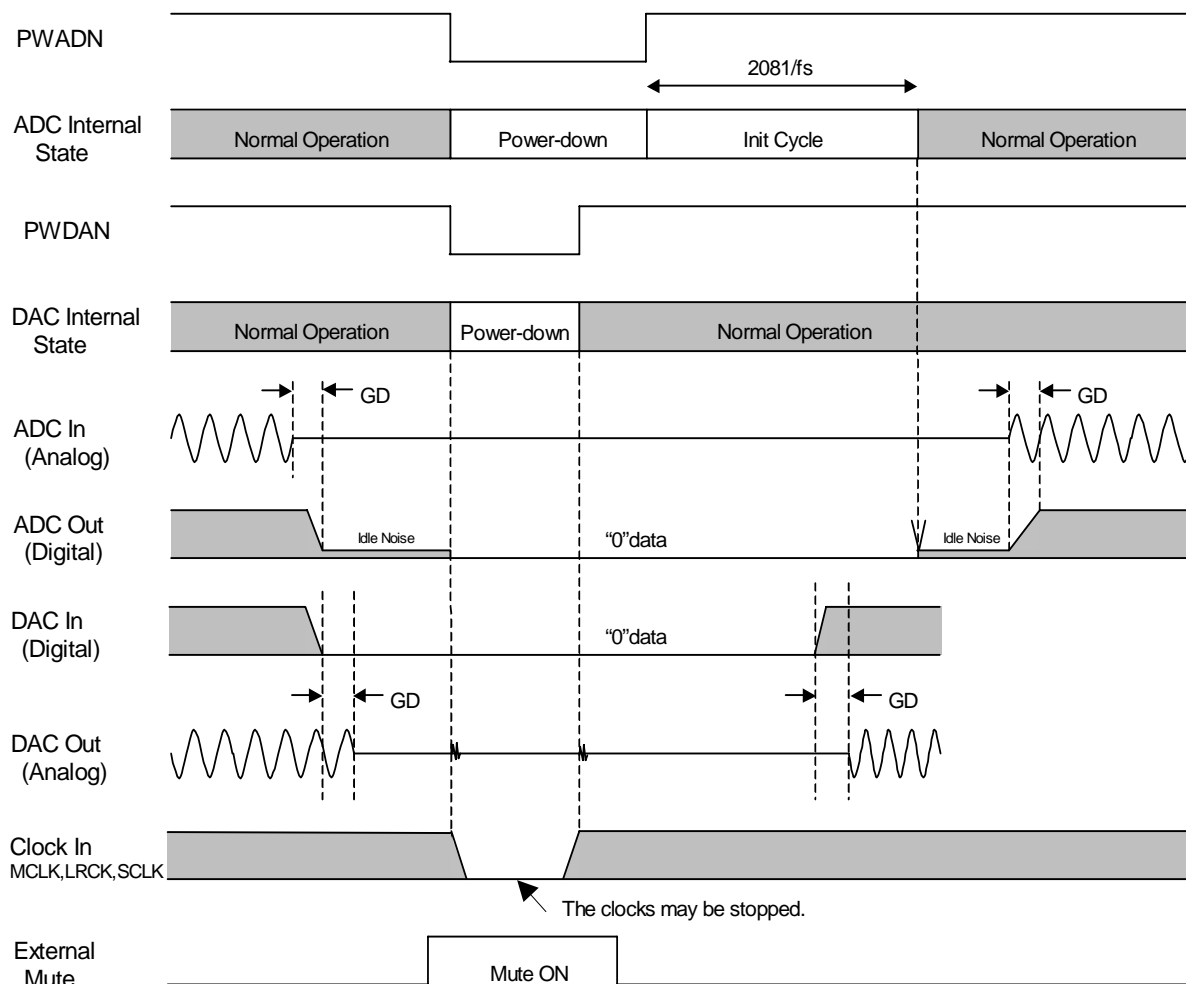


図5. パワーアップシーケンス

**システム設計**

システム接続例を図 6 に示します。具体的な回路と測定例については評価用ボード(AKD4554)を参照して下さい。

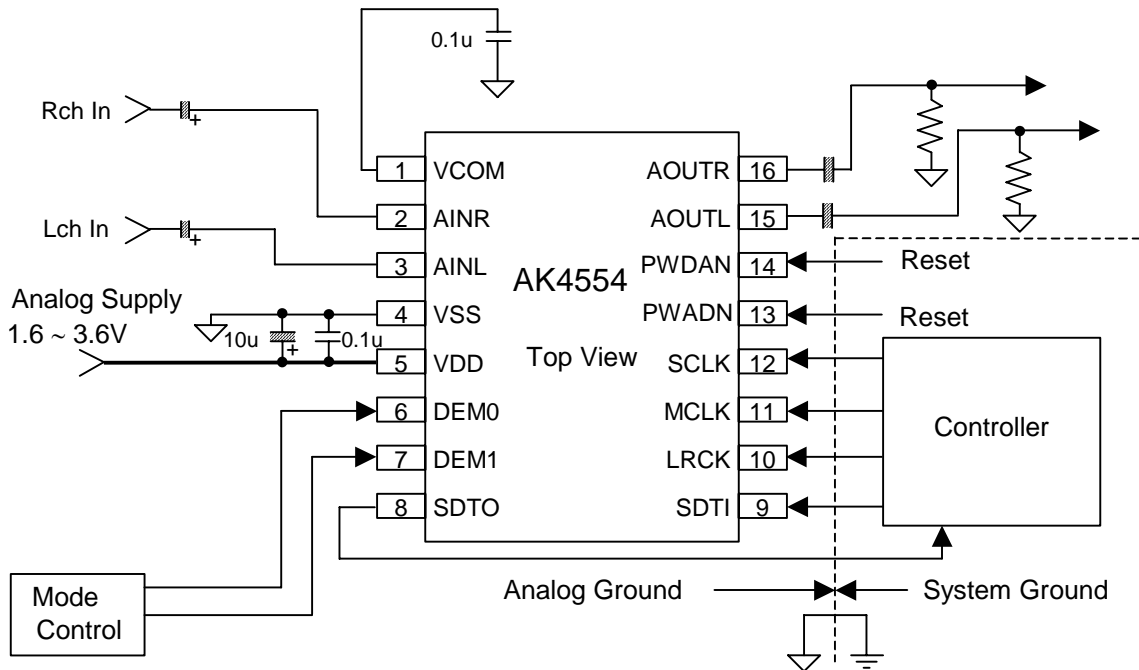


図 6. システム接続図

注: AOUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。

## 1. グランドと電源のデカップリング

VDDとVSS pinはアナログ電源から供給し、デジタル電源とは分けて下さい。VDDとVSS pin間に接続されている小容量のデカップリングコンデンサはなるべくデバイスの近くに配置して下さい。

## 2. 内蔵基準電圧

VDD pinに入力される電圧がアナログ入出力レンジを設定します。通常、VDDとVSS pin間に0.1 $\mu$ Fのセラミックコンデンサを接続します。VCOMはアナログ信号のコモン電圧及び基準電圧として使われます。このピンには高周波ノイズを除去するために0.1 $\mu$ FのセラミックコンデンサをVSS pinとの間に接続して下さい。セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM pinは当LSI専用のピンですので、他の回路へ接続しないで下さい。また、デジタル信号、特にクロックは変調器へのカップリングを避けるためVDD, VCOM pinからできるだけ離して下さい。

## 3. アナログ入力

ADC入力はシングルエンドになっており、内部でVCOMにバイアスされています。入力レンジは0.6 x VDD Vpp(typ)です。出力コードのフォーマットは2'sコンプリメント(2の補数)です。

AK4554は64fsでアナログ入力をサンプリングします。デジタルフィルタは、64fsの整数倍付近の帯域を除く阻止域以上のノイズをすべて除去します。AK4554は64fs付近のノイズを減衰させるためにアンチエイリアジングフィルタ(RCフィルタ)を内蔵しています。

## 4. アナログ出力

DAC出力はシングルエンドになっており、出力レンジはVCOM電圧を中心に0.6 x VDD Vpp(typ)です。入力コードのフォーマットは2'sコンプリメント(2の補数)で、7FFFH(@16bit)に対しては正のフルスケール、8000H(@16bit)に対しては負のフルスケール、0000H(@16bit)での理想値はVCOM電圧が出力されます。 $\Delta\Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)が気になる場合は、外付けのフィルタで減衰させて下さい。

アナログ出力はVCOM+数mV程度のDCオフセットを持つため、通常の使用ではコンデンサでDC成分をカットします。

## ■ レイアウトパターン例

AK4554では最適な特性を得るために電源及びグランドに注意が必要です。

(実際のレイアウトについてはAKD4554評価ボードマニュアルを参照して下さい。)

1. VDD pinはシステムのアナログ電源に、VSS pinはシステムのアナロググランドと接続して下さい。その際、AK4554はアナロググランドとデジタルグランドが分離する近くのアナロググランドプレーン上に配置し、AK4554の近くで一点で接続して下さい。
2. VDD pinへの配線はレギュレータ等のインピーダンスの低いところから配線して下さい。
3. AK4554に入力されるクロックライン上には、オーバーシュート、アンダーシュートを押さえる為に、直列に抵抗を入れて下さい。また、MCLK pinに対してはAK4554のアナログ回路へのデジタルノイズのカップリングを防ぐ為に、デジタルグランドに対して10pFのコンデンサを接続して下さい。
4. VDD pin - VSS pin間及び、VCOM pin - VSS pin間の0.1 $\mu$ FのセラミックコンデンサはAK4554の近くに配置して下さい。その際、コンデンサを近くに配置するだけでなく、パターンの引き回しが最短になる様、注意して下さい。

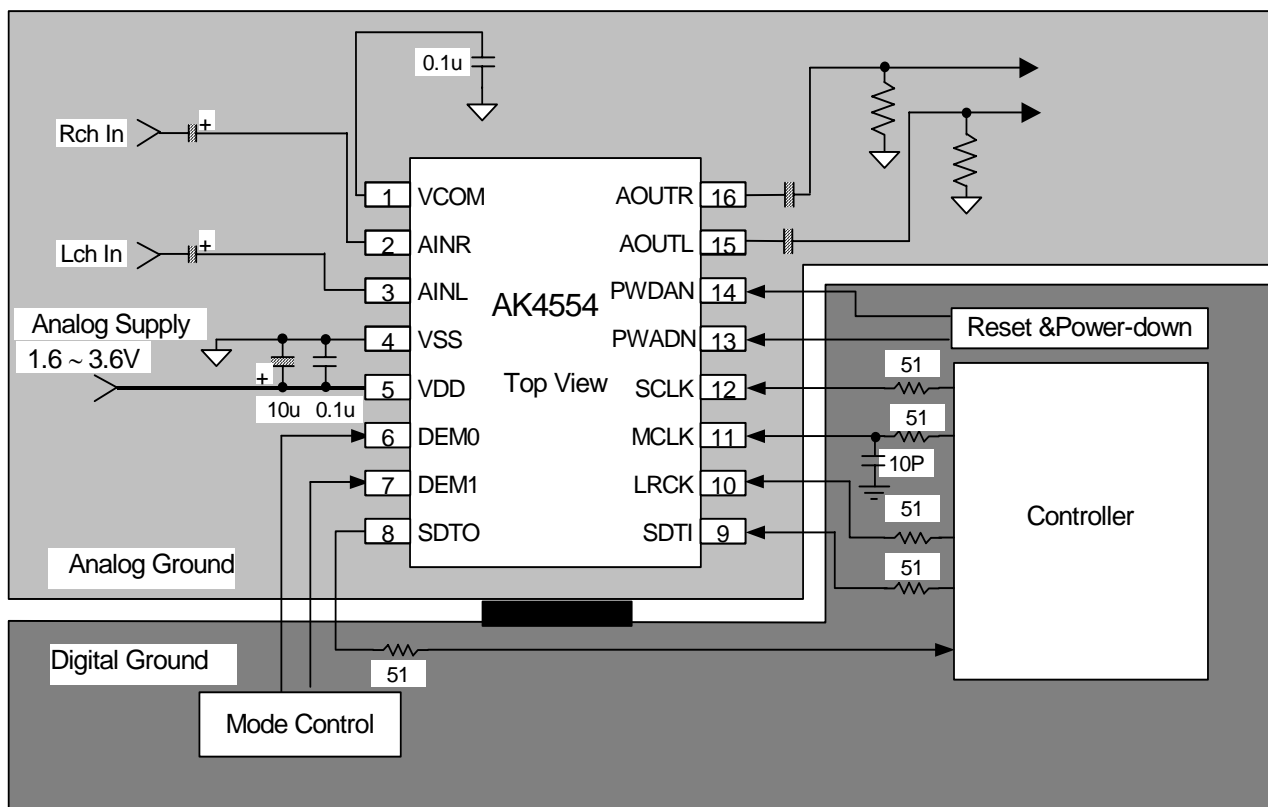
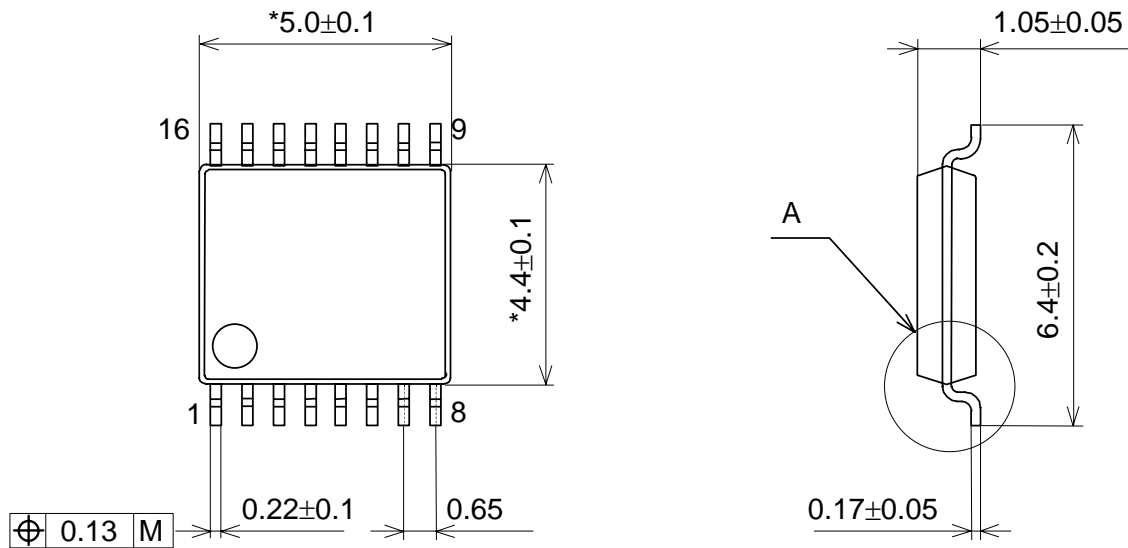


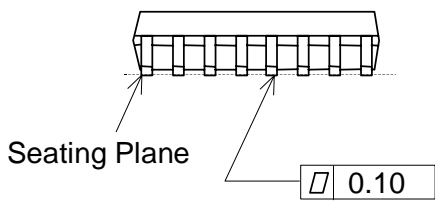
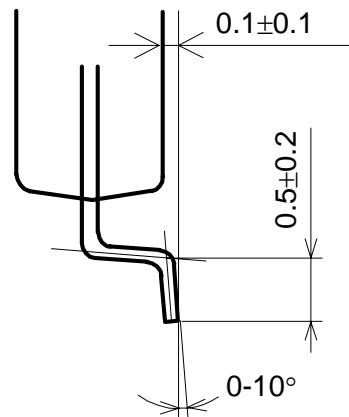
図 7. レイアウトパターン例

パッケージ

16pin TSSOP (Unit: mm)



Detail A

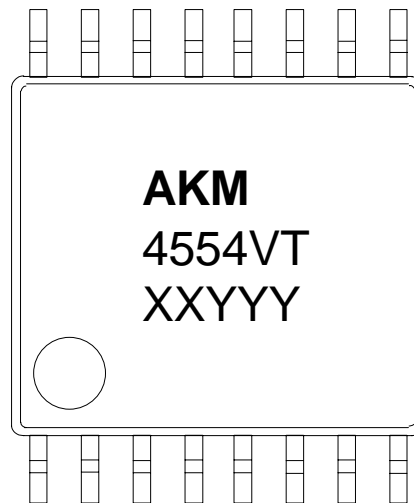


NOTE: Dimension "\*" does not include mold flash.

■ 材質・メッキ仕様

- パッケージ材質: エポキシ系樹脂
- リードフレーム材質: 銅
- リードフレーム処理: 半田メッキ (無鉛)

**マーキング**



- 1) Pin #1 indication
- 2) Date Code : XYYYYY (5 digits)  
 XX: Lot#  
 YYY: Date Code
- 3) Marketing Code : 4554VT
- 4) Asahi Kasei Logo

**改訂履歴**

Date (YY/MM/DD)	Revision	Reason	Page	Contents
04/07/28	00	初版		
05/08/08	01	仕様変更	7	スイッチング特性 tSCK(min): 312.5ns → 1/(96fs) or 312.5ns



#### 重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。