

AD8510/AD8512/AD8513

特長

高速なセトリング・タイム: 0.1%〜500 ns
 低オフセット電圧: 400 μ V 最大
 低い $T_C V_{OS}$: $\pm 1 \mu$ V/ $^{\circ}$ C (typ)
 低入力バイアス電流: $V_S = \pm 15$ V で 25 pA (typ)
 両電源動作: ± 5 V〜 ± 15 V
 低ノイズ: 1 kHz で 8 nV/ $\sqrt{\text{Hz}}$ (typ)
 低歪み: 0.0005%
 位相反転なし
 ユニティ・ゲイン安定

アプリケーション

計装機器
 多極フィルタ
 高精度電流計測
 フォトダイオード・アンプ
 センサー
 オーディオ

ピン配置

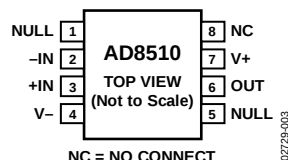


図 1.8 ピン MSOP
(RM サフィックス)

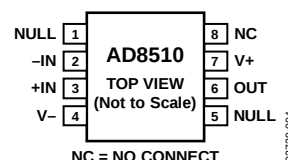


図 2.8 ピン SOIC_N
(R サフィックス)

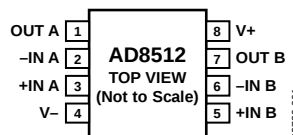


図 3.8 ピン MSOP
(RM サフィックス)

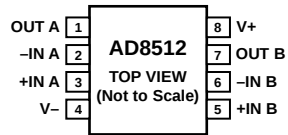


図 4.8 ピン SOIC_N
(R サフィックス)

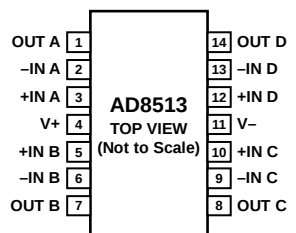


図 5.14 ピン SOIC_N
(R サフィックス)

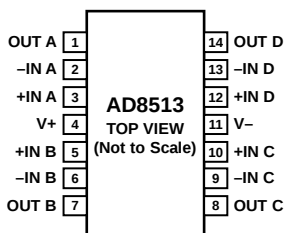


図 6.14 ピン TSSOP
(RU サフィックス)

概要

AD8510/AD8512/AD8513 は、小さいオフセット電圧、入力バイアス電流、入力電圧ノイズ、入力電流ノイズを持つシングル、デュアル、クワッドの高精度 JFET アンプです。

低オフセット、低ノイズ、非常に低い入力バイアス電流の組み合わせにより、これらのアンプは特にハイ・インピーダンス・センサーの増幅および高精度シャント電流計測に最適です。高精度 DC、低ノイズ、高速セトリング・タイムの組み合わせにより、医用計装機器、電子計測機器、自動テスト装置で高精度が得られます。多くの競合アンプと異なり、AD8510/AD8512/AD8513 は非常に大きな容量負荷でも高速なセトリング性能を維持します。多くの旧型 JFET アンプとは異なり、AD8510/AD8512/AD8513 では入力電圧が最大同相モード電圧範囲を超えても出力位相の反転は発生しません。

容量負荷での高速スルーレートと優れた安定性により、AD8510/AD8512/AD8513 は高性能フィルタ用に最適です。低入力バイアス電流、低オフセット、低ノイズにより、フォトダイオード・アンプ回路で広いダイナミックレンジが得られます。AD8510/AD8512/AD8513 は低ノイズおよび低歪み、高出力電流、優れた動作速度を持つため、オーディオ・アプリケーション向けにも最適です。

AD8510/AD8512 は、8 ピン・ナロー SOIC_N パッケージまたは 8 ピン MSOP パッケージを採用しています。MSOP パッケージ部品は、テープまたはリールでのみ出荷しています。AD8513 は、14 ピンの SOIC_N パッケージまたは TSSOP パッケージを採用しています。

AD8510/AD8512/AD8513 の仕様は、 -40°C 〜 $+125^{\circ}\text{C}$ の拡張工業温度範囲で規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
 ※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2002–2009 Analog Devices, Inc. All rights reserved.

Rev. I

目次

特長	1	出力位相の反転.....	13
アプリケーション.....	1	全高調波歪み(THD)+ノイズ.....	13
ピン配置	1	ソース抵抗を含む総合ノイズ.....	13
概要	1	セトリング・タイム	14
改訂履歴	2	過負荷回復時間.....	14
仕様	3	容量負荷の駆動.....	14
電気的特性.....	4	オープン・ループ・ゲインと位相応答	15
絶対最大定格.....	6	高精度整流回路.....	16
ESD の注意	6	I/V 変換アプリケーション.....	17
代表的な性能特性.....	7	外形寸法.....	19
一般的なアプリケーション情報.....	13	オーダー・ガイド	20
入力過電圧保護機能.....	13		

改訂履歴

2/09—Rev. H to Rev. I		9/03—Rev. B to Rev. C	
Changes to Figure 25.....	10	Changes to Ordering Guide	4
Changes to Ordering Guide	20	Updated Figure 2	10
10/07—Rev. G to Rev. H		Changes to Input Overvoltage Protection Section	10
Changes to Crosstalk Section.....	18	Changes to Figure 10 and Figure 11.....	12
Added Figure 58.....	18	Changes to Photodiode Circuits Section	13
6/07—Rev. F to Rev. G		Changes to Figure 13 and Figure 14.....	13
Changes to Figure 1 and Figure 2	1	Deleted Precision Current Monitoring Section.....	14
Changes to Table 1 and Table 2	3	Updated Outline Dimensions	15
Updated Outline Dimensions	19	3/03—Rev. A to Rev. B	
Changes to Ordering Guide	20	Updated Figure 5	11
6/06—Rev. E to Rev. F		Updated Outline Dimensions	15
Changes to Figure 23.....	9	8/02—Rev. 0 to Rev. A	
Updated Outline Dimensions	19	Added AD8510 Model.....	Universal
Changes to Ordering Guide	20	Added Pin Configurations.....	1
6/04—Rev. D to Rev. E		Changes to Specifications	2
Changes to Format.....	Universal	Changes to Ordering Guide	4
Changes to Specifications	3	Changes to TPC 2 and TPC 3.....	5
Updated Outline Dimensions	19	Added TPC 10 and TPC 12.....	6
10/03—Rev. C to Rev. D		Replaced TPC 20.....	8
Added AD8513 Model	Universal	Replaced TPC 27	9
Changes to Specifications	3	Changes to General Application Information Section.....	10
Added Figure 36 through Figure 40.....	10	Changes to Figure 5.....	11
Added Figure 55 and Figure 57	17	Changes to I-V Conversion Applications Section.....	13
Changes to Ordering Guide	20	Changes to Figure 13 and Figure 14.....	13
		Changes to Figure 17	14

仕様

特に指定がない限り、 $V_S = \pm 5\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage (B Grade) ¹	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.08	0.4	mV
Offset Voltage (A Grade)	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.1	0.8	mV
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		21	1.8	mV
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			75	pA
		$-40^\circ\text{C} < T_A < +85^\circ\text{C}$			0.7	nA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			7.5	nA
Input Capacitance		$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		5	50	pA
Differential		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			0.3	nA
Common Mode					0.5	nA
Input Voltage Range			-2.0		+2.5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -2.0\text{ V to }+2.5\text{ V}$	86	100		dB
Large-Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_O = -3\text{ V to }+3\text{ V}$	65	107		V/mV
Offset Voltage Drift (B Grade) ¹	$\Delta V_{OS}/\Delta T$			0.9	5	$\mu\text{V}/^\circ\text{C}$
Offset Voltage Drift (A Grade)	$\Delta V_{OS}/\Delta T$			1.7	12	$\mu\text{V}/^\circ\text{C}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10\text{ k}\Omega$	4.1	4.3		V
Output Voltage Low	V_{OL}	$R_L = 10\text{ k}\Omega$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		-4.9	-4.7	V
Output Voltage High	V_{OH}	$R_L = 2\text{ k}\Omega$	3.9	4.2		V
Output Voltage Low	V_{OL}	$R_L = 2\text{ k}\Omega$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		-4.9	-4.5	V
Output Voltage High	V_{OH}	$R_L = 600\text{ }\Omega$	3.7	4.1		V
Output Voltage Low	V_{OL}	$R_L = 600\text{ }\Omega$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		-4.8	-4.2	V
Output Current	I_{OUT}		± 40	± 54		mA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = \pm 4.5\text{ V to } \pm 18\text{ V}$	86	130		dB
Supply Current/Amplifier	I_{SY}	$V_O = 0\text{ V}$		2.0	2.3	mA
AD8510/AD8512/AD8513		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			2.5	mA
AD8510/AD8512		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			2.75	mA
AD8513						
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		20		V/ μs
Gain Bandwidth Product	GBP			8		MHz
Settling Time	t_S	To 0.1%, 0 V to 4 V step, $G = +1$		0.4		μs
Total Harmonic Distortion (THD) + Noise	THD + N	1 kHz, $G = +1$, $R_L = 2\text{ k}\Omega$		0.0005		%
Phase Margin	ϕ_M			44.5		Degrees
NOISE PERFORMANCE						
Voltage Noise Density	e_n	$f = 10\text{ Hz}$		34		nV/ $\sqrt{\text{Hz}}$
		$f = 100\text{ Hz}$		12		nV/ $\sqrt{\text{Hz}}$
		$f = 1\text{ kHz}$		8.0	10	nV/ $\sqrt{\text{Hz}}$
		$f = 10\text{ kHz}$		7.6		nV/ $\sqrt{\text{Hz}}$
Peak-to-Peak Voltage Noise	$e_n\text{ p-p}$	0.1 Hz to 10 Hz bandwidth		2.4	5.2	$\mu\text{V p-p}$

¹ AD8510/AD8512 の場合。

電氣的特性

特に指定がない限り、 $V_S = \pm 15\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage (B Grade) ¹	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.08	0.4	mV
					0.8	mV
Offset Voltage (A Grade)	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.1	1.0	mV
					1.8	mV
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		25	80	pA
					0.7	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		6	10	nA
		$-40^\circ\text{C} < T_A < +85^\circ\text{C}$			75	pA
		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			0.3	nA
Input Capacitance						
Differential				12.5		pF
Common Mode				11.5		pF
Input Voltage Range			-13.5		+13.0	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -12.5\text{ V to }+12.5\text{ V}$	86	108		dB
Large-Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_{CM} = 0\text{ V}$, $V_O = -13.5\text{ V to }+13.5\text{ V}$	115	196		V/mV
Offset Voltage Drift (B Grade) ¹	$\Delta V_{OS}/\Delta T$			1.0	5	$\mu\text{V}/^\circ\text{C}$
Offset Voltage Drift (A Grade)	$\Delta V_{OS}/\Delta T$			1.7	12	$\mu\text{V}/^\circ\text{C}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10\text{ k}\Omega$	+14.0	+14.2		V
Output Voltage Low	V_{OL}	$R_L = 10\text{ k}\Omega$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		-14.9	-14.6	V
Output Voltage High	V_{OH}	$R_L = 2\text{ k}\Omega$	+13.8	+14.1		V
Output Voltage Low	V_{OL}	$R_L = 2\text{ k}\Omega$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		-14.8	-14.5	V
Output Voltage High	V_{OH}	$R_L = 600\text{ }\Omega$	+13.5	+13.9		V
		$R_L = 600\text{ }\Omega$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	+11.4			V
Output Voltage Low	V_{OL}	$R_L = 600\text{ }\Omega$		-14.3	-13.8	V
		$R_L = 600\text{ }\Omega$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			-12.1	V
Output Current	I_{OUT}			± 70		mA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = \pm 4.5\text{ V to } \pm 18\text{ V}$	86			dB
Supply Current/Amplifier	I_{SY}					
AD8510/AD8512/AD8513		$V_O = 0\text{ V}$		2.2	2.5	mA
AD8510/AD8512		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			2.6	mA
AD8513		$-40^\circ\text{C} < T_A < +125^\circ\text{C}$			3.0	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		20		V/ μs
Gain Bandwidth Product	GBP			8		MHz
Settling Time	t_s	To 0.1%, 0 V to 10 V step, $G = +1$		0.5		μs
		To 0.01%, 0 V to 10 V step, $G = +1$		0.9		μs

AD8510/AD8512/AD8513

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
Total Harmonic Distortion (THD) + Noise	THD + N	1 kHz, G = +1, R _L = 2 kΩ		0.0005		%
Phase Margin	Φ _M			52		Degrees
NOISE PERFORMANCE						
Voltage Noise Density	e _n	f = 10 Hz		34		nV/√Hz
		f = 100 Hz		12		nV/√Hz
		f = 1 kHz		8.0	10	nV/√Hz
		f = 10 kHz		7.6		nV/√Hz
Peak-to-Peak Voltage Noise	e _n p-p	0.1 Hz to 10 Hz bandwidth		2.4	5.2	μV p-p

¹ AD8510/AD8512 の場合。

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	±18 V
Input Voltage	±V _S
Output Short-Circuit Duration to GND	Observe derating curves
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	−40°C to +125°C
Junction Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C
Electrostatic Discharge (Human Body Model)	2000 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 4.熱抵抗

Package Type	θ _{JA} ¹	θ _{JC}	Unit
8-Lead MSOP (RM)	210	45	°C/W
8-Lead SOIC_N (R)	158	43	°C/W
14-Lead SOIC_N (R)	120	36	°C/W
14-Lead TSSOP (RU)	180	35	°C/W

¹ θ_{JA}はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で θ_{JA}を規定。

ESD の注意

	ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。
---	---

代表的な性能特性

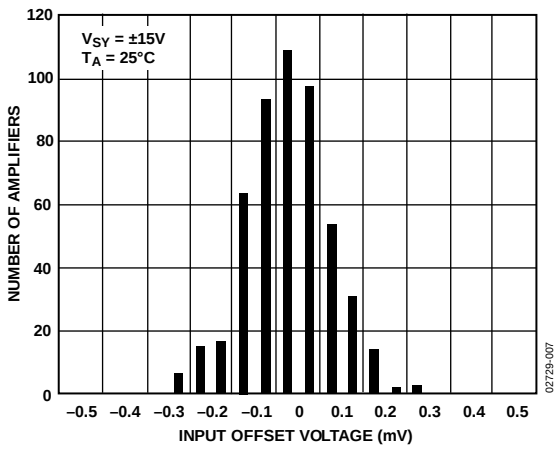


図 7.入力オフセット電圧の分布

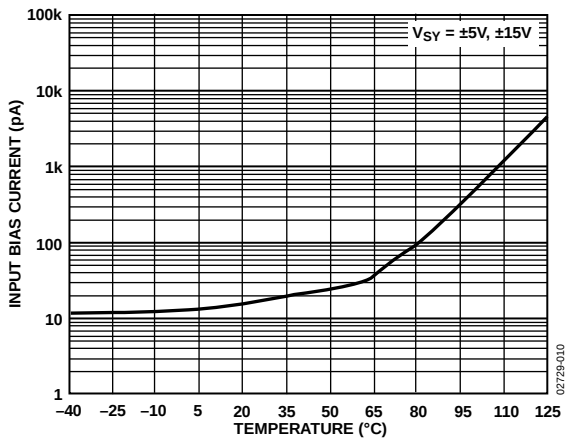


図 10.入力バイアス電流の温度特性

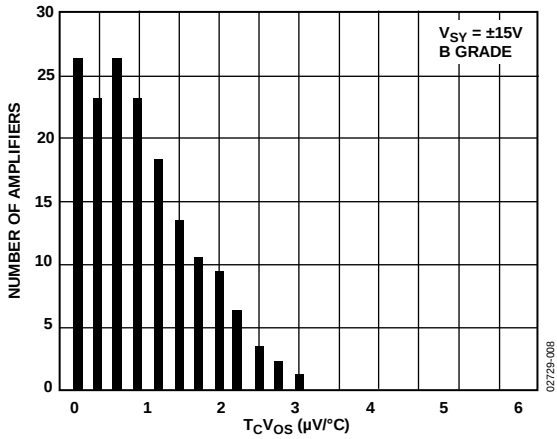


図 8.AD8510/AD8512 $T_C V_{OS}$ の分布

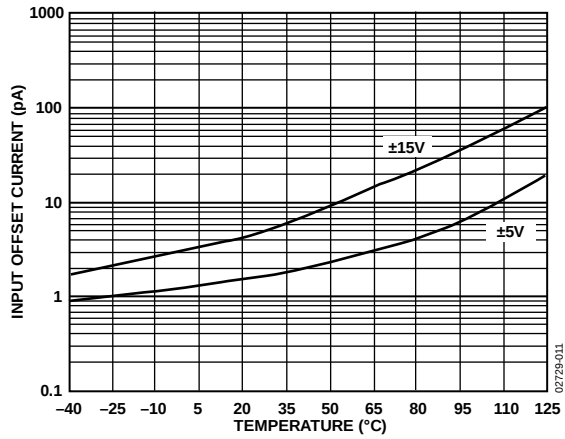


図 11.入力オフセット電流の温度特性

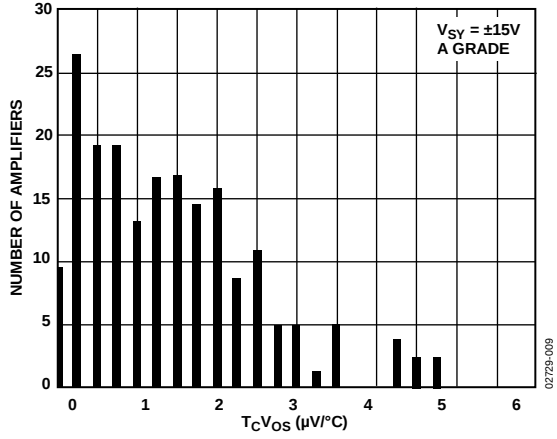


図 9.AD8510/AD8512 $T_C V_{OS}$ の分布

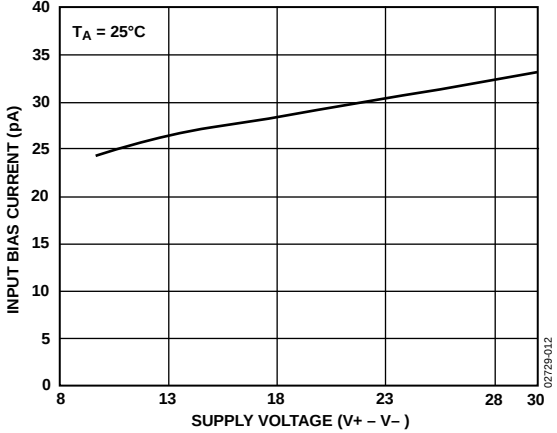


図 12.電源電圧対入力バイアス電流

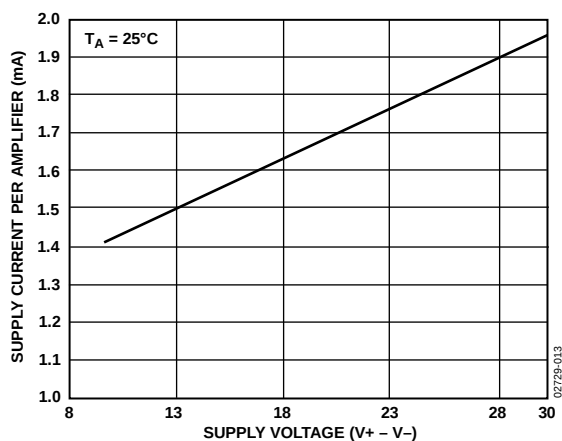


図 13.AD8512 の電源電圧対アンプあたりの電源電流

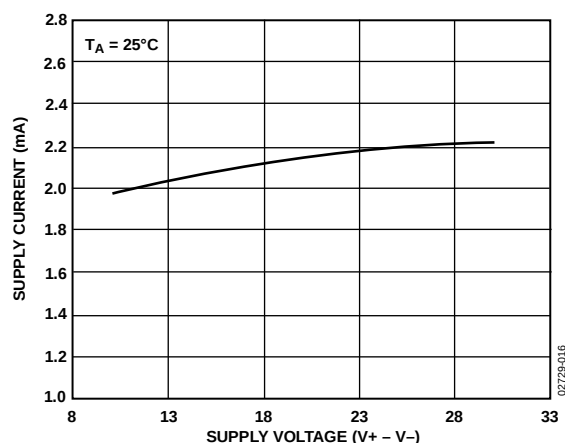


図 16.AD8510 の電源電圧対電源電流

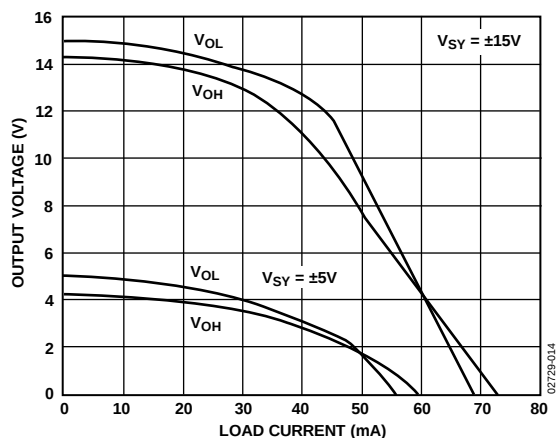


図 14.AD8510/AD8512 負荷電流対出力電圧

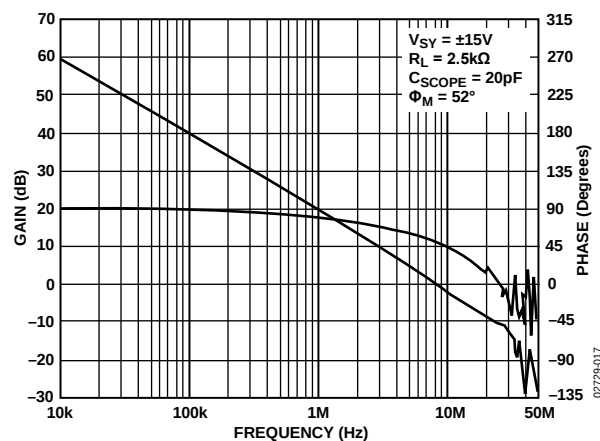


図 17.オープン・ループ・ゲインおよび位相の周波数特性

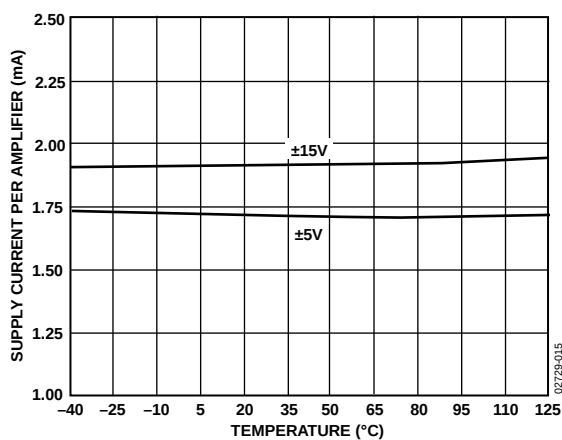


図 15.AD8512 のアンプあたりの電源電流の温度特性

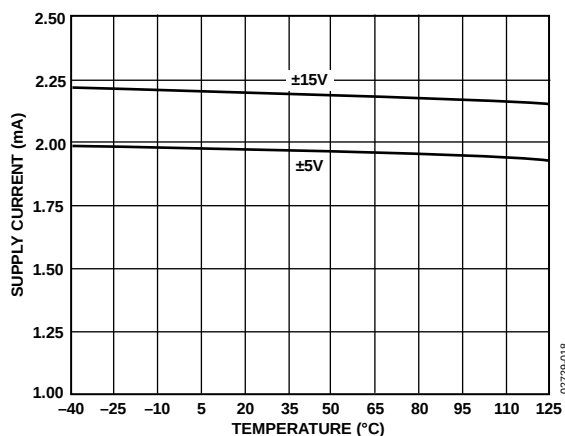


図 18.AD8510 電源電流の温度特性

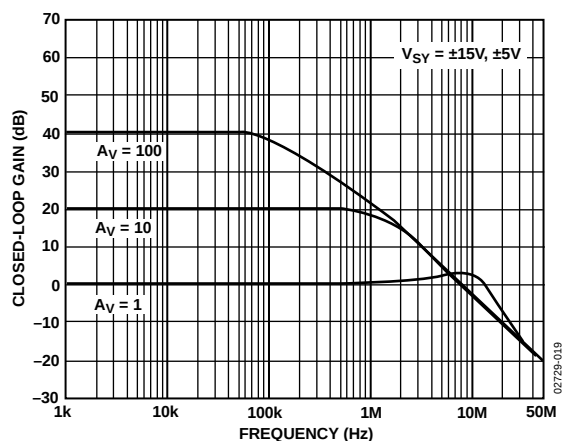


図 19. クローズド・ループ・ゲインの周波数特性

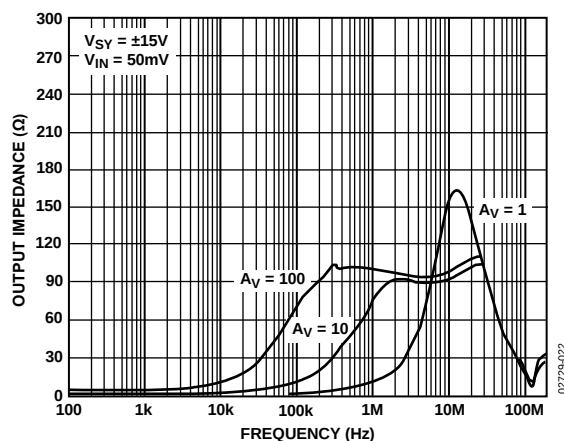


図 22. 出力インピーダンスの周波数特性

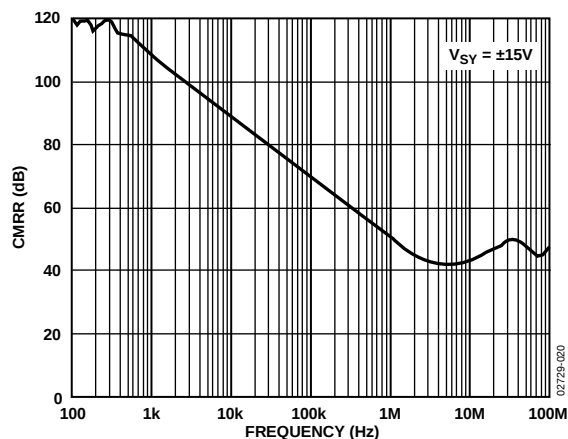


図 20. CMRR の周波数特性

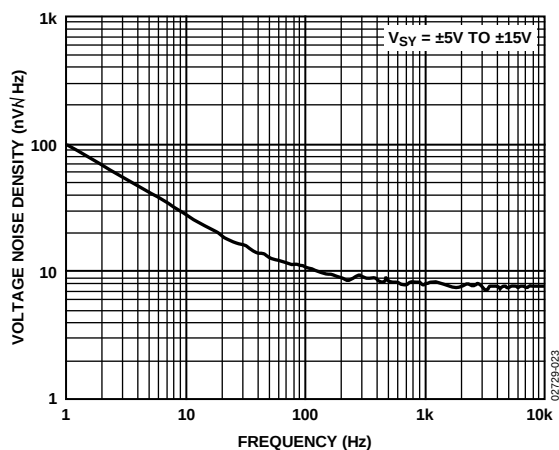


図 23. 電圧ノイズ密度の周波数特性

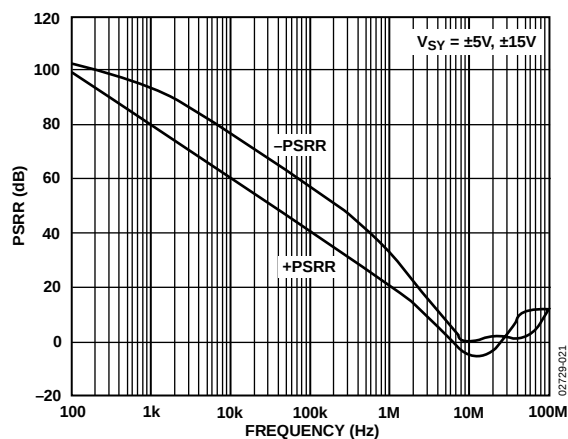


図 21. PSRR の周波数特性

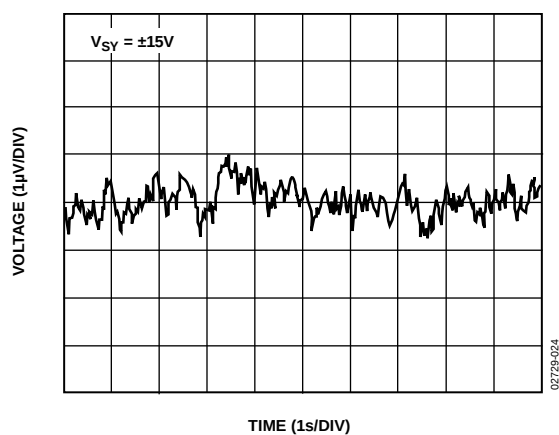


図 24. 0.1 Hz ~ 10 Hz での入力電圧ノイズ

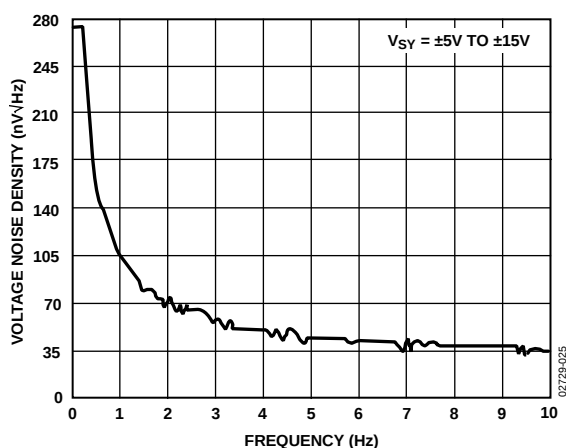


図 25. 電圧ノイズ密度の周波数特性

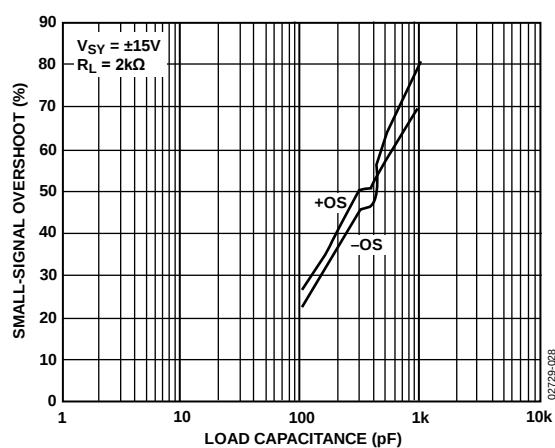


図 28. 負荷容量対小信号オーバーシュート

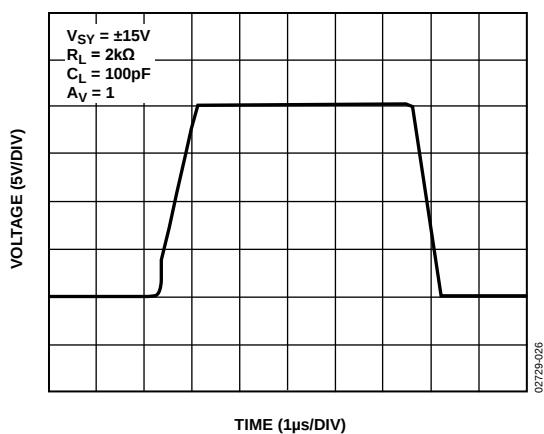


図 26. 大信号過渡応答

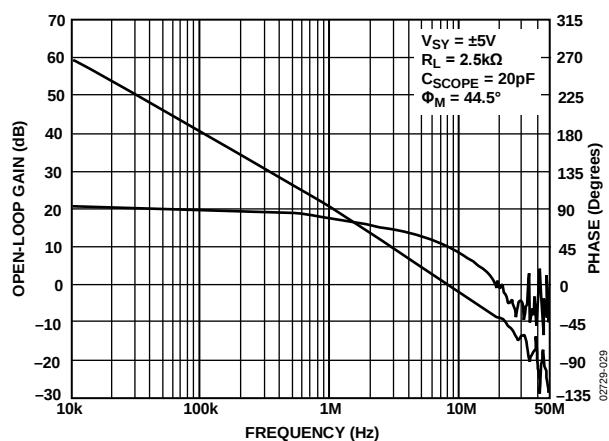


図 29. オープン・ループ・ゲインおよび位相の周波数特性

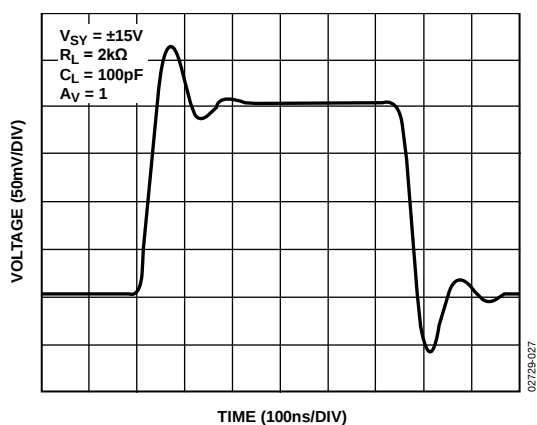


図 27. 小信号過渡応答

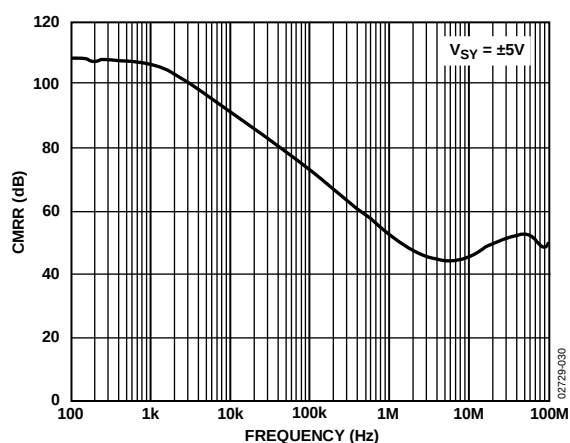


図 30. CMRR の周波数特性

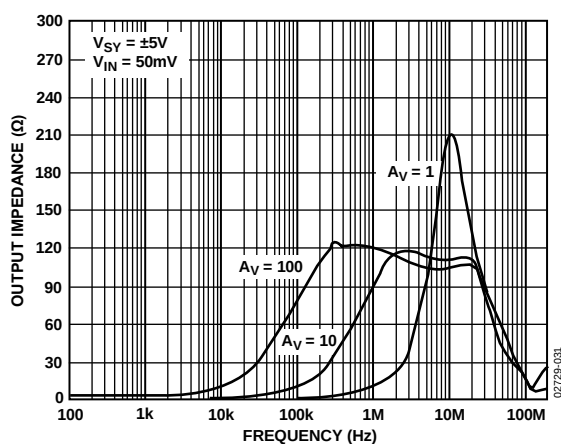


図 31.出力インピーダンスの周波数特性

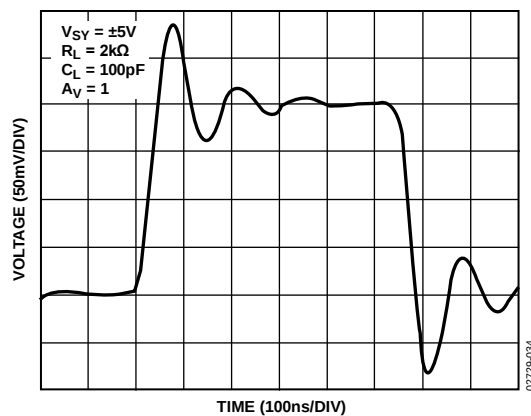


図 34.小信号過渡応答

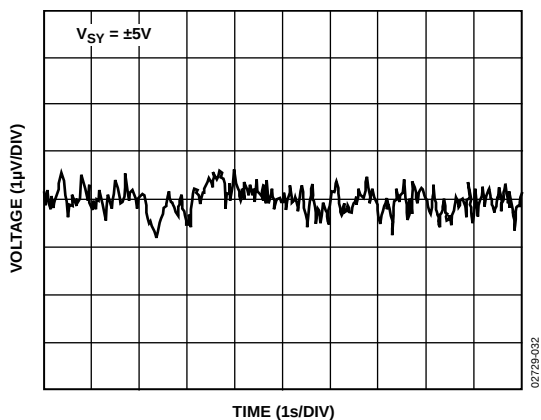


図 32.0.1 Hz～10 Hz での入力電圧ノイズ

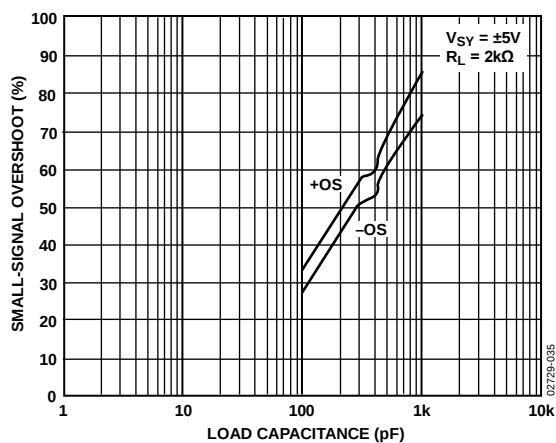


図 35.負荷容量対小信号オーバーシュート

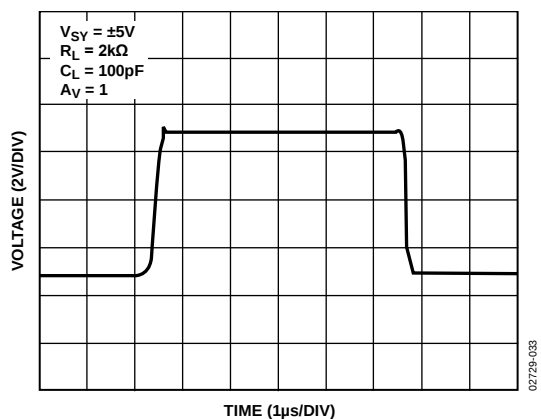


図 33.大信号過渡応答

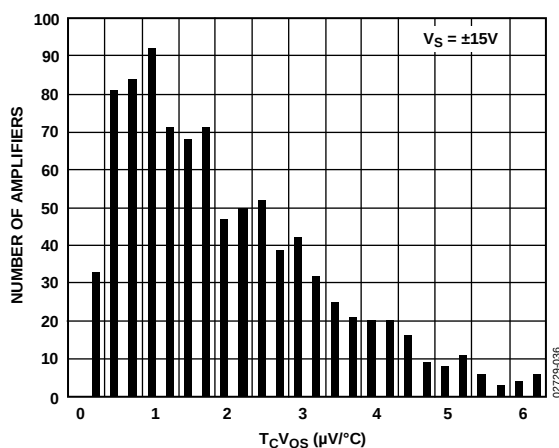


図 36.AD8513 $T_C V_{OS}$ の分布

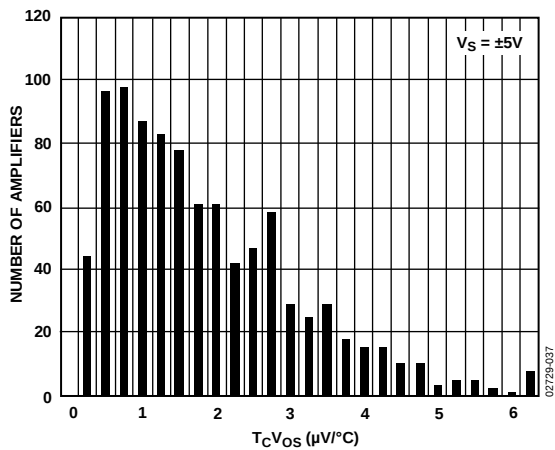


図 37.AD8513 TcVosの分布

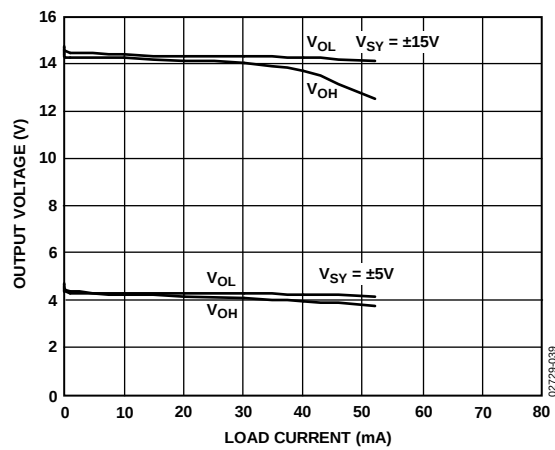


図 39.AD8513 負荷電流対出力電圧

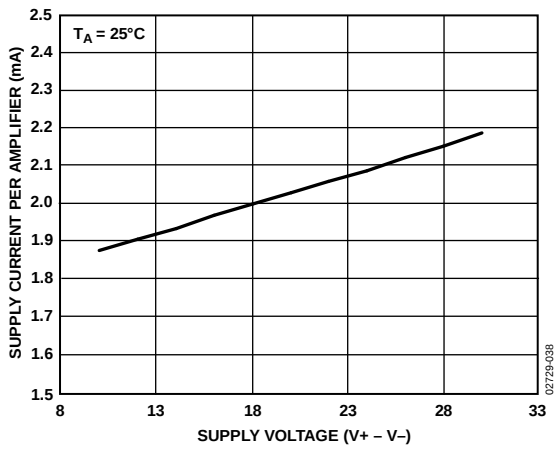


図 38.AD8513 の電源電圧対アンプあたりの電源電流

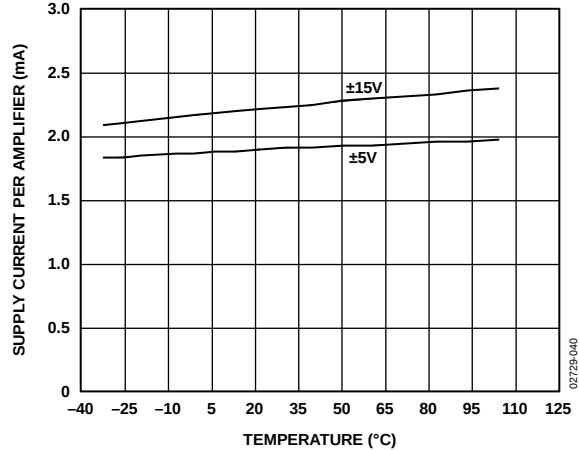


図 40.AD8513 のアンプあたりの電源電流の温度特性

一般的なアプリケーション情報

入力過電圧保護機能

AD8510/AD8512/AD8513 には、電源電圧より最大 0.7 V 高い電圧がピンに入力されても損傷を与えないようにする保護回路が内蔵されています。高い入力電圧に対しては、入力電流を制限する直列抵抗が必要です。この抵抗値は次式で決定することができます。

$$\frac{V_{IN} - V_S}{R_S} \leq 5 \text{ mA}$$

125°C まで 0.5 nA 未満の非常に小さいオフセット電流では、大きな抵抗値を入力に直列に接続することができます。5 kΩ の抵抗を使うと、電源電圧より最大 25 V まで入力を保護しますが、オフセットは 10 μV しか増加しません。

出力位相の反転

位相反転とは、アンプ伝達関数の極性の変化のことを意味します。アンプ入力に加えられる電圧が最大同相モード電圧を超えたときに発生します。

位相反転が発生すると、デバイスに永久的な損傷を与えて、システムが動作しなくなってしまうことがあります。AD8510/AD8512/AD8513 では、入力電圧が電源を超えても位相反転は発生しません。

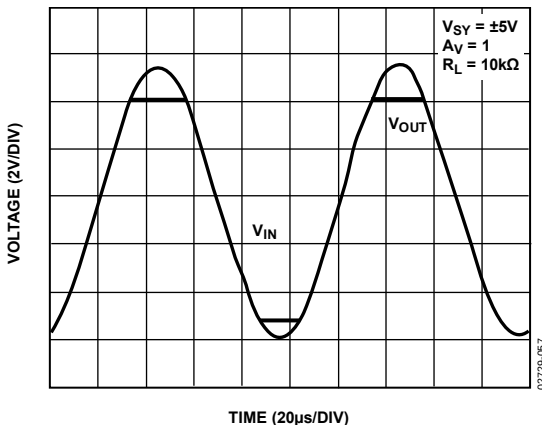


図 41. 位相反転なし

全高調波歪み(THD) + ノイズ

AD8510/AD8512/AD8513 の THD は小さく、かつ優れたゲイン直線性を持っています。このため、このアンプは高いクロード・ループ・ゲインを持つ高精度回路やオーディオ・アプリケーション回路に最適です。図 42 に、ゲイン=1 で 100 kΩ の負荷を駆動するとき、AD8510/AD8512/AD8513 の総合歪みは約 0.0005% (ワーストケース)であることを示します。

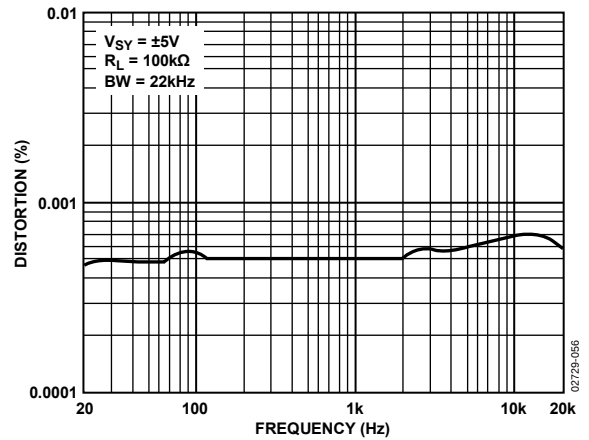


図 42. THD + N の周波数特性

ソース抵抗を含む総合ノイズ

AD8510/AD8512/AD8513 の入力電流ノイズと入力バイアス電流は小さいため、大きな入力ソース抵抗を持つ回路に対するアンプとして最適です。入力オフセット電圧は、室温で、ソース抵抗 500 Ω 当たり 15 nV 未満の割合で増加します。回路の総合ノイズ密度は次式で与えられます。

$$e_{nTOTAL} = \sqrt{e_n^2 + (i_n R_S)^2 + 4kTR_S}$$

ここで、
 e_n はデバイスの入力電圧ノイズ密度。
 i_n はデバイスの入力電流ノイズ密度。
 R_S は非反転ピンのソース抵抗。
 k はボルツマン定数 (1.38×10^{-23} J/K)。
 T は、絶対温度で表した周囲温度 ($T = 273 + ^\circ\text{C}$)。

$R_S < 3.9 \text{ k}\Omega$ の場合、 e_n が支配的で $e_{nTOTAL} \approx e_n$ になります。AD8510/AD8512/AD8513 の電流ノイズは非常に小さいため、 R_S が 165 MΩ を超えない限り (大部分のアプリケーションでこの値を超えることはありません)、総合ノイズ密度の項が支配的になることはありません。

特定帯域幅での等価総合 rms ノイズは次のように表されます。

$$e_{nTOTAL} = e_{nTOTAL} \sqrt{BW}$$

ここで、 BW は Hz で表した帯域幅です。

上の解析は 150 Hz を超える周波数に対して有効で、10 kHz 以上ではノイズが平坦であると仮定しています。低い周波数に対しては、フリッカ・ノイズ (1/f) を考慮する必要があります。

セトリング・タイム

セトリング・タイムとは、パルスをアンプ入力に加えた後に、アンプ出力が最終値に到達し、かつその最終値の所定パーセント値以内に留まるまでに要する時間を意味します。AD8510/AD8512/AD8513 は、0 V から 10 V へ変化するステップ入力に対して、ゲイン=1 の場合、900 ns 以内に 0.01% 以内に整定します。このため、セトリング・タイムが 1 μ s (typ) 以下の DAC 出力に対するバッファとして最適です。

セトリング・タイムとスルーレートが高速であることに加えて、オフセット電圧ドリフトと入力オフセット電流も小さいため、全動作範囲で 12 ビット・コンバータの精度を維持することができます。

過負荷回復時間

過負荷回復はオーバードライブ回復とも呼ばれることがあり、アンプ出力が飽和状態から線形領域に回復するために要する時間を意味します。この回復時間は、大きな過渡電圧が存在する中で小さい信号を増幅する必要があるアンプを持つアプリケーションで特に重要になります。

図 43 に、AD8510/AD8512/AD8513 の正側の過負荷回復を示します。出力は、飽和状態から約 200 ns で回復します。

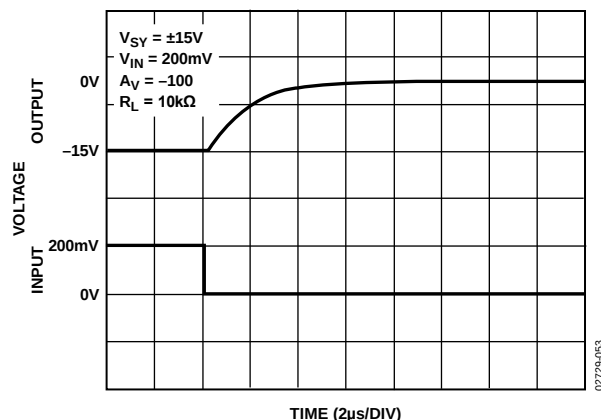


図 43. 正側過負荷回復

負側オーバードライブ回復時間は 200 ns 未満です(図 44 参照)。

AD8510/AD8512/AD8513 は高速な回復時間に加えて、正側と負側の回復時間の優れた対称性も持っています。この対称性によって、与えられた周期で出力信号が歪みを受けることなく、等しく維持されるため、過渡信号の反射に対しては重要な機能です。

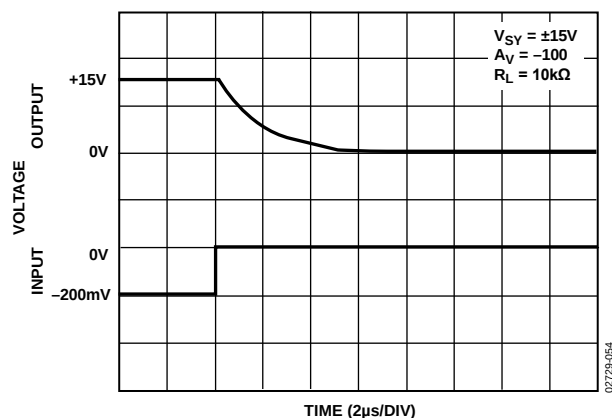


図 44. 負側過負荷回復

容量負荷の駆動

AD8510/AD8512/AD8513 は、すべてのゲインで、反転または非反転構成によらず、無条件に安定です。ワーストケース設定の単位ゲイン=1 で、発振なしに、最大 1000 pF の容量負荷を駆動することができます。

ただし、多くのアンプと同様に、ゲイン=1 の設定で大きな容量負荷を駆動すると、大きなオーバーシュート、リングング、さらに発振も生ずることがあります。簡単なスナバ回路により、オーバーシュートとリングングを大幅に削減することができます。この構成の利点は、 R_S が帰還ループの外側にあるため、アンプの出力振幅が小さくならないことです。

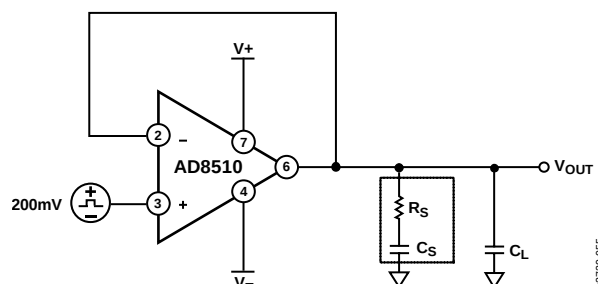


図 45. スナバ回路の構成

図 46 に、400 mV パルスにตอบสนองする AD8510/AD8512/AD8513 の出力オシロスコープ・プロットを示します。この回路は、ゲイン=1 (ワーストケース)、負荷容量= 500 pF に設定してあります。

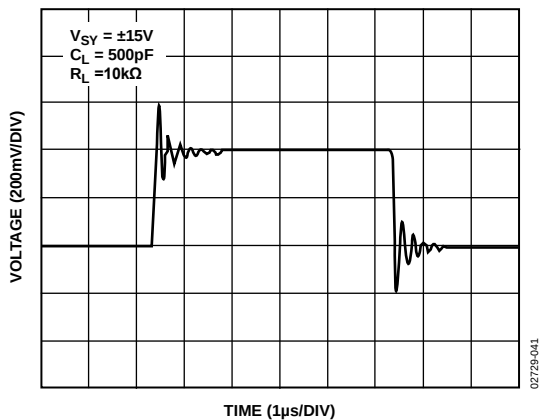


図 46. スナバ回路なしでの容量負荷駆動

スナバ回路を使用すると、同じ負荷容量に対してオーバーシュートが 55% から 3% 以下に削減されます。図 47 に示すようにリリングも実質的に削減されます。

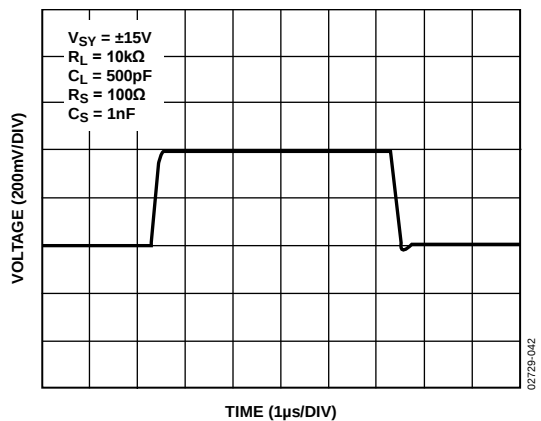


図 47. スナバ回路使用時の容量負荷

R_S と C_S の最適値は負荷容量と入力寄生容量に依存し、経験的に決定されます。表 5 に、開始点として使用できる幾つかの値を示します。

表 5. 容量負荷に対する最適値

C_{LOAD}	R_S (Ω)	C_S
500 pF	100	1 nF
2 nF	70	100 pF
5 nF	60	300 pF

オープン・ループ・ゲインと位相応答

低ノイズ、低オフセット電圧、低オフセット電流に加えて、大きな抵抗負荷と大きな容量負荷を駆動する場合でも AD8510/AD8512/AD8513 は優れたループ・ゲインと位相応答を持っています。

競合品 A と比較すると(図 49 参照)、同じ条件で、2.5 k Ω 出力負荷で AD8510/AD8512/AD8513 は 8 MHz 以上広い帯域幅と 52° 以上大きい位相マージンを持っています。

これに対して、同じテスト条件で、競合品 A の帯域幅は 4.5 MHz で、位相マージンは 28° です。出力の 2 k Ω 負荷に 1 nF の容量負荷を並列接続した場合でも、AD8510/AD8512/AD8513 の方が競合品 A より優れた応答を示します。競合品 A の位相マージンは 0° 以下に減少し、発振が生ずることを示しています。

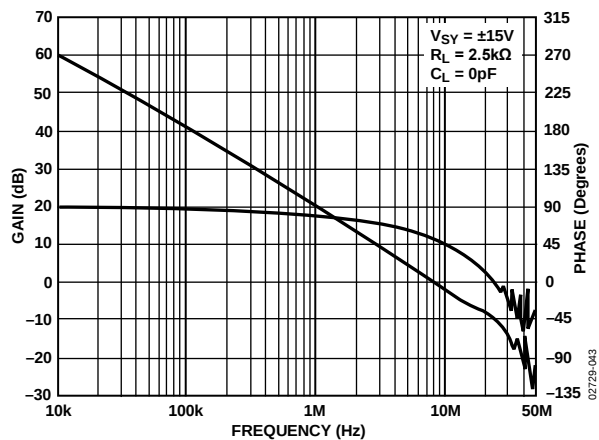


図 48. AD8510/AD8512/AD8513 の周波数応答

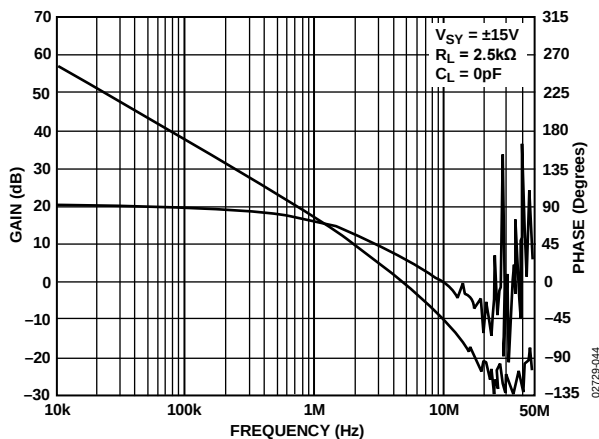


図 49. 競合品 A の周波数応答

高精度整流回路

整流回路は多くのアプリケーションで使用されています。最も広く使われているのは、入力正弦波をユニポーラ出力電圧に変換するために整流回路を使っている電源レギュレーションのデザインにおいてです。

この方法でアンプを使う場合には、幾つかの問題があります。入力電圧(V_{IN})が負のとき、出力はゼロとなり、 V_{IN} 振幅がオペアンプ入力で 2 倍になります。この電圧が電源電圧を超えると、アンプが損傷されることがあります。さらに、オペアンプは V_{IN} が負のとき飽和から抜け出す必要があります。アンプが線形領域に戻るために時間を要するので、出力信号が遅延されます。

AD8510/AD8512/AD8513 は非常に高速な過駆動回復時間を持ち、これが過渡信号の整流に最適になっている理由ですが、正と負の回復時間の対称性も出力信号の歪をなくすために重要です。

図 50 に、整流器のテスト回路を示します。回路の初段は半波整流回路です。入力に加えられる正弦波が正のとき、出力は入力に追従します。入力が負側サイクルにあるとき、出力は入力に追従して負側に振れようとしませんが、電源によりゼロに固定されます。同様に、2 段目も正弦波の正側サイクルでは非反転回路として動作し、負側サイクルでは反転回路として動作します。

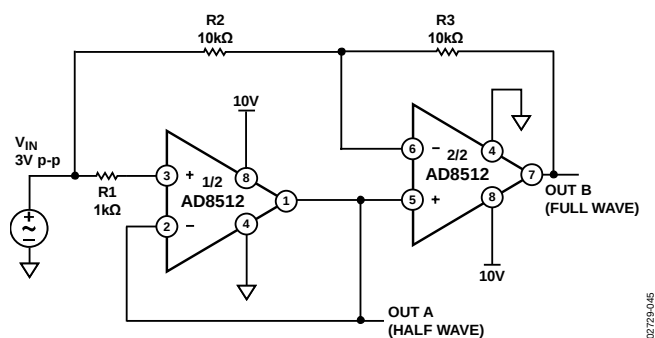


図 50.半波整流と全波整流

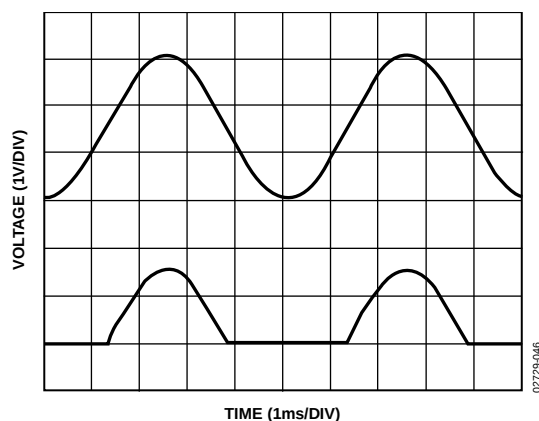


図 51.半波整流子信号(図 50 の OUT A)

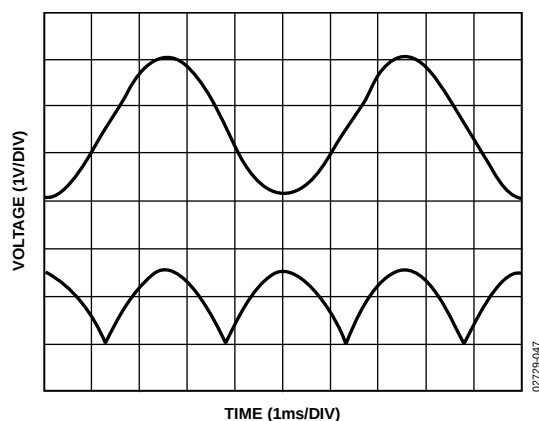


図 52.全波整流子信号(図 50 の OUT B)

I/V 変換アプリケーション

フォトダイオード回路

I/V 変換の一般的なアプリケーションとしては、フォトダイオード回路があります。この回路では、アンプの正側入力ピンに接続されたダイオードから出力される電流をアンプを使って出力電圧へ変換しています。

AD8510/AD8512/AD8513 は低入力バイアス電流、広帯域幅、低ノイズであるため、FAX、光ケーブル制御、モーション・センサー、バー・コード・リーダーなどの様々なフォトダイオード・アプリケーションに最適です。

図 53 に示す回路では、シリコン・ダイオードをゼロ・バイアス電圧で使っています。この構成は光電モードと呼ばれ、全体のノイズを制限するので、計装アプリケーションに適しています。

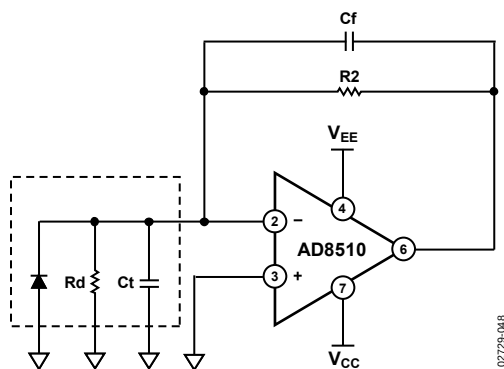


図 53. プリアンプ・フォトダイオードの等価回路

出力ノイズの増加を許容すると信号帯域幅を広げることができます。合計入力容量(C_t)は、ダイオード容量(3 pF~4 pF(typ))の和と外部寄生容量を含むアンプの入力容量(12 pF)から構成されます。 C_t は周波数応答でシステムが不安定になる極を構成します。安定性と信号帯域幅の最適性を保証するため、回路の帰還ループにコンデンサを接続しています(図 53)。これによりゼロ点がつくられるため、コーナー周波数 $1/(2\pi(R_2C_f))$ の帯域幅が得られます。

R_2 の値は次式で求めることができます。

$$V/I_D$$

ここで、
 V はオペアンプの出力電圧。
 I_D はダイオード電流。

例えば、 I_D が 100 μ A で、所望出力電圧が 10 V の場合、 $R_2 = 100$ k Ω になります。 R_d (図 53 参照) はジャンクション抵抗であり、温度が 10 $^{\circ}$ C 上昇するごとに 2 だけ減少します。

R_d の typ 値は 1000 M Ω です。 $R_d \gg R_2$ であるため、回路の動作は接合抵抗の影響を受けません。最大信号帯域幅は次式で与えられます。

$$f_{MAX} = \sqrt{\frac{ft}{2\pi R_2 C_t}}$$

ここで、 ft はアンプがゲイン=1 となる周波数(単位ゲイン周波数)です。

C_f は次式で計算することができます。

$$C_f = \sqrt{\frac{C_t}{2\pi R_2 ft}}$$

ここで、 ft はオペアンプのユニティ・ゲイン周波数で、位相マージン $\phi_M \approx 45^{\circ}$ が得られます。

C_f の値を大きくすると、位相マージンを大きくすることができます。 C_f の値を前の値の 2 倍にすると、 $\phi_M = 65^{\circ}$ が得られ、さらに最も平坦な周波数応答が得られますが、最大信号帯域幅が 50% 狭くなります。

前のパラメータを使い $C_f \approx 1$ pF のとき、信号帯域幅は約 2.6 MHz になります。

信号伝送アプリケーション

一般的な信号伝送方式の 1 つとしてパルス幅変調が使用されています。高いデータレートでは、オペアンプではなく高速なコンパレータが必要になりますが、リニアなアンプを使って、シャープで歪みのない信号の方が望ましいものです。

AD8510/AD8512/AD8513 を使うと、優れた電圧コンパレータが実現できます。AD8510/AD8512/AD8513 は高いスルーレートの他に、非常に高速な飽和回復時間を持っています。帰還がない場合は、アンプはオープン・ループ・モードにあります(ゲインが非常に大きい)。この動作モードでは、大部分の時間が飽和状態にあります。

図 54 に示す回路では、異なる周波数の 2 つの信号(100 Hz の正弦波と 1 kHz の三角波)が比較されます。図 55 に、出力波形のオシロスコープ・プロットを示します。出力電圧が正側レールまで届く必要がある場合には、5 k Ω (typ) のプルアップ抵抗を出力と V_{CC} の間に接続することができます。この場合のトレードオフは、消費電力が大きくなってしまいます。

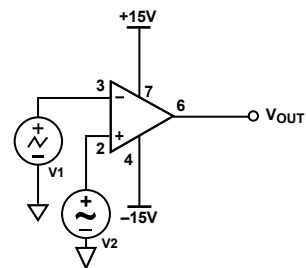


図 54. パルス幅変調器

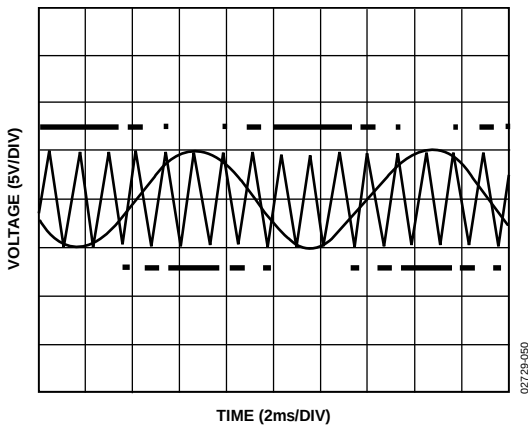


図 55.パルス幅変調

クロストーク

チャンネル・セパレーションとも呼ばれるクロストークは、1つのチャンネルから同じ IC 内の別のチャンネルへ混入する信号の大きさを表します。AD8512/AD8513 は、10 kHz までの周波数に対して -90 dB を超えるチャンネル・セパレーションを、10 MHz までの周波数に対しては -50 dB を超えるチャンネル・セパレーションを、それぞれ持っています。図 57 に、アンプ A (駆動アンプ) と後段の各アンプ (アンプ B、アンプ C、アンプ D) との間の代表的なチャンネル・セパレーション動作を示します。

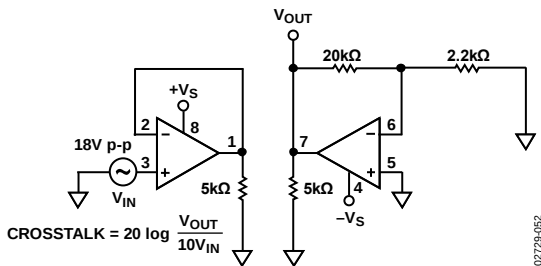


図 56.クロストーク・テスト回路

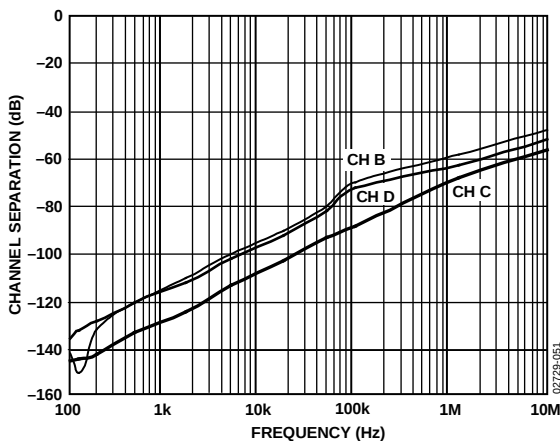


図 57.チャンネル・セパレーション

シングルの AD8510 には、デュアルの AD8512 またはクワッドの AD8513 にはない 2 本のアクティブ・ピンがあります。これらのピンは「null」と表示され、入力オフセット電圧の微調整に使用されます。室温での保証最大オフセット電圧は 400 μ V で、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の範囲では最大 800 mV ですが、ポテンショメータを null ピンに接続してこのオフセット電圧を小さくすることができます (図 58 参照)。図に示す 20 k Ω のポテンショメータでは、調整範囲は約 ± 3.5 mV になります。ポテンショメータは JFET 差動入力対のドレイン回路の小さい抵抗値と並列接続になるため、ドレイン電流の不平衡により、オフセット電圧の変更が可能になります。オフセット調整が不要な場合は、これらのピンを未接続のままにしてください。

この機能を持つオペアンプに調整ポテンショメータを接続する場合には、幾つかの理由で注意が必要です。1 つ目は、これらのノードから出力までにゲインがあるため、ノイズの多いパターンからこれらのノードへの容量結合によりノイズが信号パスへ混入してしまうことです。2 つ目は、ポテンショメータの温度係数と内部抵抗の温度係数が一致しないため、温度変化によるオフセット電圧ドリフトが大きな影響を与えることです。3 つ目は、この機能はオペアンプのオフセット電圧を調整するためのもので、システム全体のオフセットを調整するためのものではないことです。範囲を広くするためにポテンショメータ値を小さくしようとすると、DC パラメータと AC パラメータに悪影響を与えてしまいます。代わりに、ポテンショメータを 50 k Ω に大きくして、必要に応じて範囲を狭くしてください。

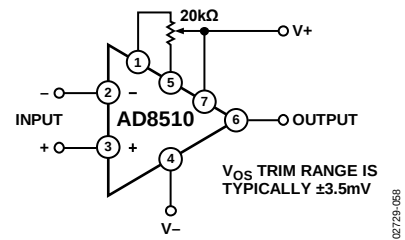
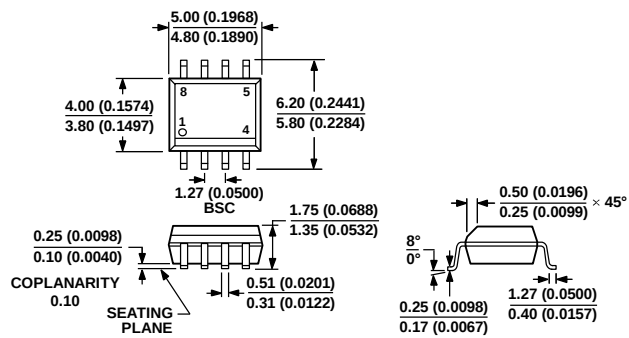


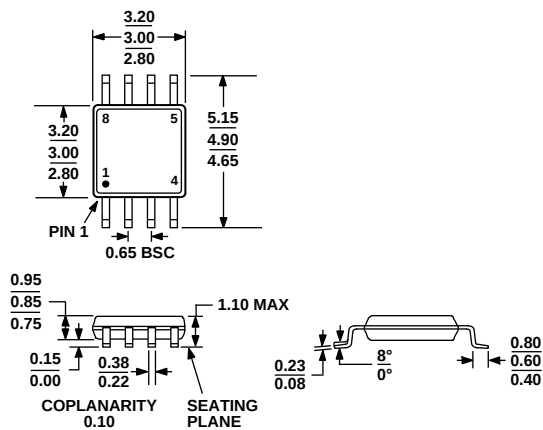
図 58.オプションのオフセット除去回路

外形寸法



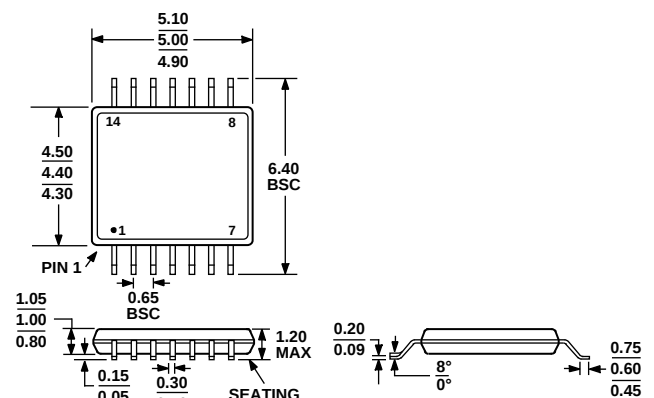
COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 59.8 ピン標準スモール・アウトライン・パッケージ
[SOIC_N]
ナロー・ボディ(R-8)
寸法: mm (インチ)



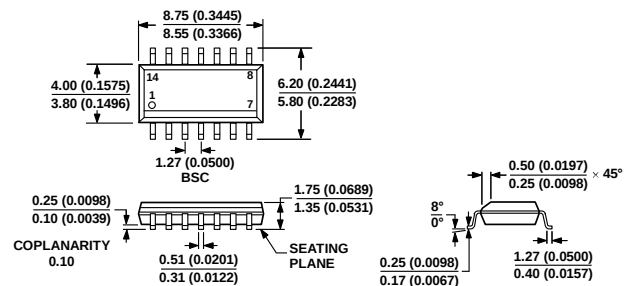
COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 60.8 ピン・ミニ・スモール・アウトライン・パッケージ
[MSOP]
(RM-8)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

図 61.14 ピン薄型シュリンク・スモール・アウトライン・
パッケージ
[TSSOP]
(RU-14)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AB
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 62.14 ピン標準スモール・アウトライン・パッケージ
[SOIC_N]
ナロー・ボディ(R-14)
寸法: mm (インチ)

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8510ARMZ-REEL ¹	−40°C to +125°C	8-Lead MSOP	RM-8	B7A#
AD8510ARMZ ¹	−40°C to +125°C	8-Lead MSOP	RM-8	B7A#
AD8510AR	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8510ARZ ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8510ARZ-REEL ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8510ARZ-REEL7 ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8510BR	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8510BR-REEL	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8510BRZ ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8510BRZ-REEL ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8510BRZ-REEL7 ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512ARMZ-REEL ¹	−40°C to +125°C	8-Lead MSOP	RM-8	B8A#
AD8512ARMZ ¹	−40°C to +125°C	8-Lead MSOP	RM-8	B8A#
AD8512AR	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512AR-REEL	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512AR-REEL7	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512ARZ ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512ARZ-REEL ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512ARZ-REEL7 ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512BR	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512BR-REEL	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512BR-REEL7	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512BRZ ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512BRZ-REEL ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8512BRZ-REEL7 ¹	−40°C to +125°C	8-Lead SOIC_N	R-8	
AD8513AR	−40°C to +125°C	14-Lead SOIC_N	R-14	
AD8513AR-REEL	−40°C to +125°C	14-Lead SOIC_N	R-14	
AD8513AR-REEL7	−40°C to +125°C	14-Lead SOIC_N	R-14	
AD8513ARZ ¹	−40°C to +125°C	14-Lead SOIC_N	R-14	
AD8513ARZ-REEL ¹	−40°C to +125°C	14-Lead SOIC_N	R-14	
AD8513ARZ-REEL7 ¹	−40°C to +125°C	14-Lead SOIC_N	R-14	
AD8513ARU	−40°C to +125°C	14-Lead TSSOP	RU-14	
AD8513ARU-REEL	−40°C to +125°C	14-Lead TSSOP	RU-14	
AD8513ARUZ ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	
AD8513ARUZ-REEL ¹	−40°C to +125°C	14-Lead TSSOP	RU-14	

¹ Z = RoHS 準拠品。#は RoHS 準拠品を表し、上部または下部に表示。