

2SD1767

エピタキシャルプレーナ形 NPN シリコントランジスタ
Epitaxial Planar NPN Silicon Transistor
低周波電力増幅用/Low Freq. Power Amp.

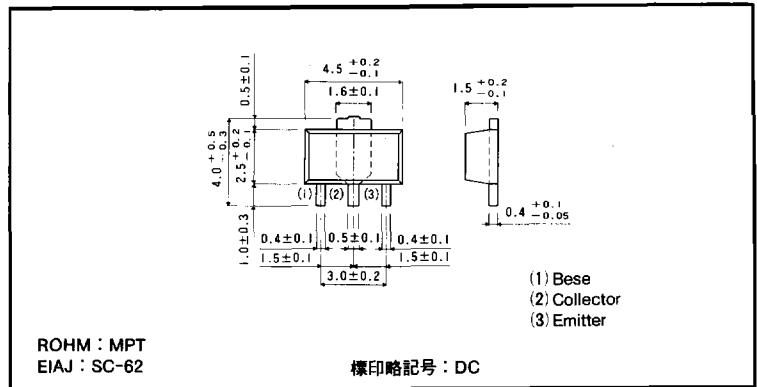
● 特長

- コレクタ損失, $P_C=2W$ である (40×40×0.7mm セラミック基板実装時)。
- 高耐圧, 大電流である。
 $V_{CEO}=80V$, $I_C=0.7A$
- 2SB1189とコンプリである。

● Features

- P_C (collector power dissipation) = 2W (mounted on ceramic substrate of 40×40×0.7mm.)
- High breakdown voltage and large current capacity:
 $V_{CEO}=80V$, $I_C=0.7A$
- Complementary pair with 2SB1189.

● 外形寸法図/Dimensions (Unit: mm)

● 絶対最大定格/Absolute Maximum Ratings ($T_a=25^\circ C$)

Parameter	Symbol	Limits	Unit
コレクタ・ベース間電圧	V_{CBO}	80	V
コレクタ・エミッタ間電圧	V_{CEO}	80	V
エミッタ・ベース間電圧	V_{EBO}	5	V
コレクタ電流	I_C	0.7	A (DC)
		1	A (Pulse)*1
コレクタ損失	P_C	0.5	W
		2	W*2
接合部温度	T_j	150	$^\circ C$
保存温度範囲	T_{stg}	-55~150	$^\circ C$

*1 $P_W = 20ms$, duty = 1/2

*2 40×40×0.7mm セラミック基板実装時

● 電気的特性/Electrical Characteristics ($T_a=25^\circ C$)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions
コレクタ・ベース降伏電圧	BV_{CBO}	80	—	—	V	$I_C = 50 \mu A$
コレクタ・エミッタ降伏電圧	BV_{CEO}	80	—	—	V	$I_C = 2mA$
エミッタ・ベース降伏電圧	BV_{EBO}	5	—	—	V	$I_E = 50 \mu A$
コレクタシャ断電流	I_{CBO}	—	—	0.5	μA	$V_{CB} = 50V$
エミッタシャ断電流	I_{EBO}	—	—	0.5	μA	$V_{EB} = 4V$
コレクタ・エミッタ飽和電圧	$V_{CE(sat)}$	—	0.2	0.4	V	$I_C/I_B = 500mA/50mA$
直流電流増幅率	h_{FE}	82	—	390	—	$V_{CE}/I_C = 3V/100mA$
利得帯域幅積	f_T	—	120	—	MHz	$V_{CE}=10V$, $I_E=-50mA$, $f=100MHz$
出力容量	C_{ob}	—	10	—	pF	$V_{CB} = 10V$, $I_E = 0A$, $f = 1MHz$

h_{FE} の値により下表のように分類します。

Item	P	Q	R
h_{FE}	82~180	120~270	180~390

● 標準品・標準品一覧表

(○: 標準品 △: 特別仕様)

Type	h_{FE}	包装名	テーピング	
		記号	T100	T101
2SD1767	PQR	基本発注単位(個)	1000	1000
			△	○

● 電気的特性曲線/Electrical Characteristic Curves

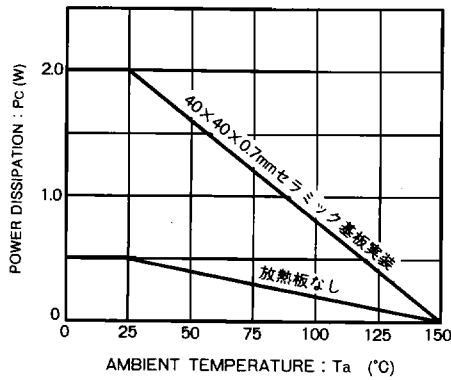


Fig.1 電力軽減曲線

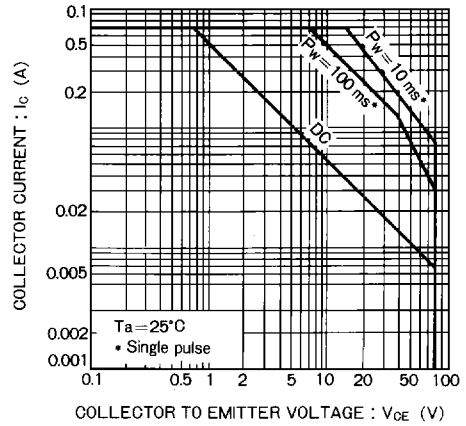


Fig.2 安全動作領域

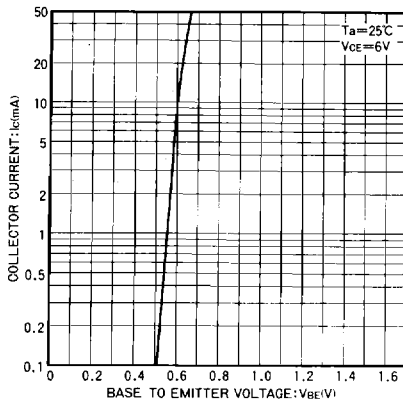


Fig.3 エミッタ接地伝達静特性

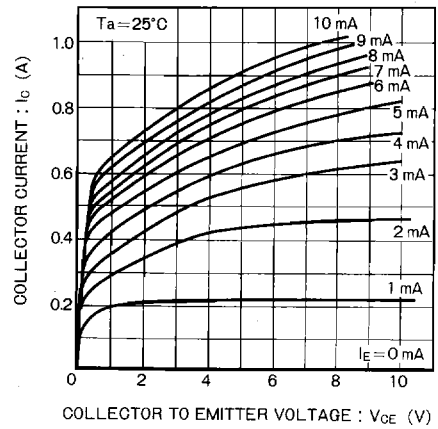


Fig.4 エミッタ接地出力静特性

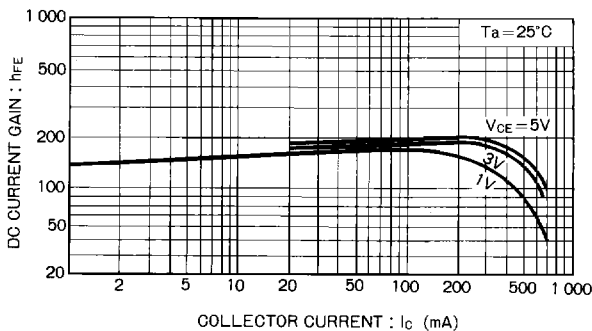


Fig.5 直流電流増幅率—コレクタ電流特性

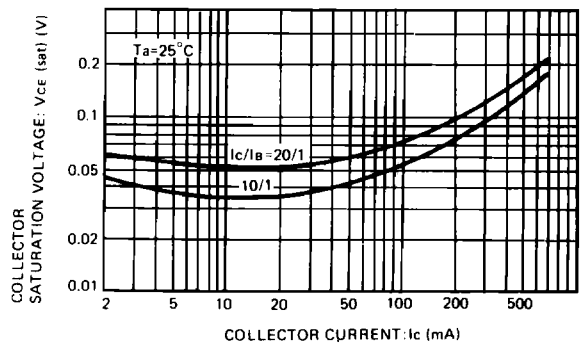


Fig.6 コレクタ・エミッタ飽和電圧—コレクタ電流特性

トランジスタ
2SDタイプ

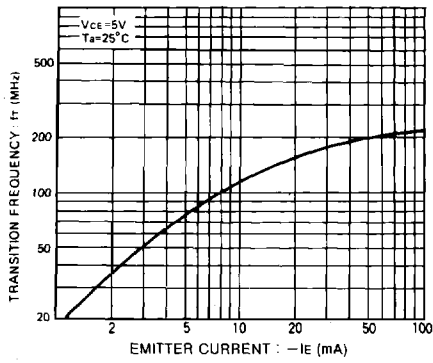


Fig.7 利得帯域幅積—エミッタ電流特性

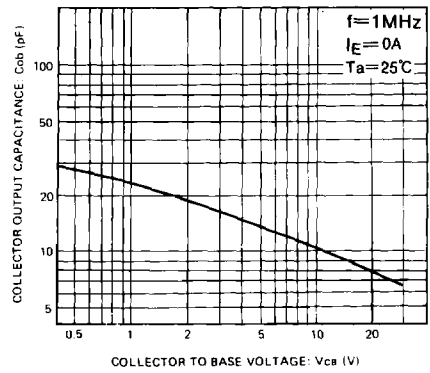


Fig.8 コレクタ出力容量—コレクタ・ベース電圧特性

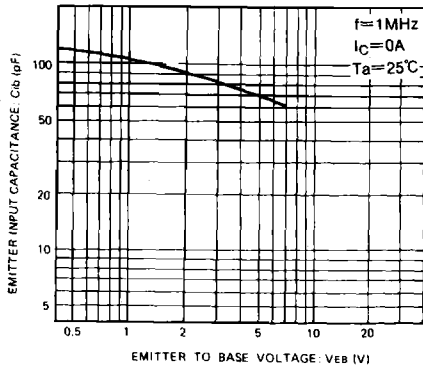


Fig.9 エミッタ入力容量—エミッタ・ベース電圧特性