

目次

特長.....	1	ピン配置およびピン機能説明.....	7
アプリケーション.....	1	代表的な性能特性.....	10
概要.....	1	回路動作.....	14
機能ブロック図.....	1	D/A コンバータ.....	14
改訂履歴.....	2	シリアル・データ・インターフェース.....	16
仕様.....	3	パワーオン・リセット.....	17
AD5544 の電气的特性.....	3	アプリケーション.....	17
AD5554 の電气的特性.....	4	外形寸法.....	18
絶対最大定格.....	6	オーダー・ガイド.....	18
ESD の注意.....	6		

改訂履歴

12/04—Rev. 0 to Rev. A

Updated Format.....	Universal
Change to Electrical Characteristics Tables.....	4
Change to Pin Description Table.....	10
Addition of Power Supply Sequence Section.....	19
Addition of Layout and Power Supply Bypassing Section.....	19
Addition of Grounding Section.....	19
Addition of Figure 32.....	19

4/00—Revision 0: Initial Version

仕様

AD5544 の電氣的特性

特に指定がない限り、 $V_{DD} = 5\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 I_{OUTX} = 仮想 GND、 $A_{GNDX} = 0\text{ V}$ 、 V_{REFA} 、B、C、D = 10 V、 T_A = 全動作温度範囲。

表 1.

Parameter	Symbol	Condition	Min	Typ	Max	Unit
STATIC PERFORMANCE ¹						
Resolution	N	1 LSB = $V_{REF}/2^{16} = 153\text{ }\mu\text{V}$ when $V_{REF} = 10\text{ V}$			16	Bits
Relative Accuracy	INL				± 4	LSB
Differential Nonlinearity	DNL				± 1.5	LSB
Output Leakage Current	I_{OUTX}	Data = 0000 _H , $T_A = 25^\circ\text{C}$			10	nA
	I_{OUTX}	Data = 0000 _H , $T_A = T_A\text{ max}$			20	nA
Full-Scale Gain Error	G_{FSE}	Data = FFFF _H		± 0.75	± 3	mV
Full-Scale Tempco ²	TCV_{FS}			1		ppm/ $^\circ\text{C}$
Feedback Resistor	R_{FBX}	$V_{DD} = 5\text{ V}$	4	6	8	k Ω
REFERENCE INPUT						
V_{REFX} Range	V_{REFX}		-15		+15	V
Input Resistance	R_{REFX}		4	6	8	k Ω
Input Resistance Match	R_{REFX}	Channel-to-channel		1		%
Input Capacitance ²	C_{REFX}			5		pF
ANALOG OUTPUT						
Output Current	I_{OUTX}	Data = FFFF _H	1.25		2.5	mA
Output Capacitance ²	C_{OUTX}	Code-dependent		80		pF
LOGIC INPUT AND OUTPUT						
Logic Input Low Voltage	V_{IL}				0.8	V
Logic Input High Voltage	V_{IH}		2.4			V
Input Leakage Current	I_{IL}				1	μA
Input Capacitance ²	C_{IL}				10	pF
Logic Output Low Voltage	V_{OL}	$I_{OL} = 1.6\text{ mA}$			0.4	V
Logic Output High Voltage	V_{OH}	$I_{OH} = 100\text{ }\mu\text{A}$	4			V
INTERFACE TIMING ^{2,3}						
Clock Width High	t_{CH}		25			ns
Clock Width Low	t_{CL}		25			ns
$\overline{CS}$ to Clock Setup	t_{CSS}		0			ns
Clock to $\overline{CS}$ Hold	t_{CSH}		25			ns
Clock to SDO Prop Delay	t_{PD}		2		20	ns
Load DAC Pulse Width	t_{LDAC}		25			ns
Data Setup	t_{DS}		20			ns
Data Hold	t_{DH}		20			ns
Load Setup	t_{LDS}		5			ns
Load Hold	t_{LDH}		25			ns
SUPPLY CHARACTERISTICS						
Power Supply Range	$V_{DD\text{ RANGE}}$		4.5		5.5	V
Positive Supply Current	I_{DD}	Logic inputs = 0 V		50	250	μA
Negative Supply Current	I_{SS}	Logic inputs = 0 V, $V_{SS} = -5\text{ V}$		0.001	1	μA
Power Dissipation	P_{DISS}	Logic inputs = 0 V			1.25	mW
Power Supply Sensitivity	PSS	$\Delta V_{DD} = \pm 5\%$			0.006	%/%
AC CHARACTERISTICS ⁴						
Output Voltage Settling Time	t_s	To $\pm 0.1\%$ of full scale, data = 0000 _H to FFFF _H to 0x0000		1		μs
Output Voltage Settling Time	t_s	To $\pm 0.0015\%$ of full scale, data = 0000 _H to FFFF _H to 0000 _H		2		μs
Reference Multiplying BW	BW - 3 dB	$V_{REFX} = 100\text{ mV rms}$, data = FFFF _H , $C_{FB} = 15\text{ pF}$		2		MHz
DAC Glitch Impulse	Q	$V_{REFX} = 10\text{ V}$, data 0000 _H to 8000 _H to 0000 _H		12		nV-s
Feedthrough Error	V_{OUTX}/V_{REFX}	Data = 0000 _H , $V_{REFX} = 100\text{ mV rms}$, $f = 100\text{ kHz}$		-65		dB
Crosstalk Error	V_{OUTA}/V_{REFB}	Data = 0000 _H , $V_{REFB} = 100\text{ mV rms}$, adjacent channel, $f = 100\text{ kHz}$		-90		dB
Digital Feedthrough	Q	$\overline{CS} = 1$, and $f_{CLK} = 1\text{ MHz}$		5		nV-s

AD5544/AD5554

Parameter	Symbol	Condition	Min	Typ	Max	Unit
Total Harmonic Distortion	THD	$V_{REF} = 5\text{ V p-p}$, data = FFFF _H , $f = 1\text{ kHz}$		−90		dB
Output Spot Noise Voltage	e_N	$f = 1\text{ kHz}$, BW = 1 Hz		7		nV $\sqrt{\text{Hz}}$

¹ すべてのスタティック性能テスト(ただし I_{OUT} を除く)は、外付けの高精度 OP177 (I/V コンバータ・アンプ)を使ったクローズド・ループ・システム内で実施。AD5544 の R_{FB} ピンはアンプ出力に接続。Typ 値は、25°Cでの平均測定値。

² これらのパラメータは、デザインで保証しますが、出荷テストは行いません。

³ すべての入力制御信号は $t_R = t_F = 2.5\text{ ns}$ (3 V の 10%から 90%)で規定し、1.5 V の電圧レベルからの時間とします。

⁴ すべての AC 特性テストは、OP42(I/V コンバータ・アンプ)を使用したクローズド・ループ・システム内で実施。

AD5554 の電氣的特性

特に指定がない限り、 $V_{DD} = 5\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $I_{OUTX} =$ 仮想 GND、 $A_{GNDX} = 0\text{ V}$ 、 V_{REFA} 、B、C、D = 10 V、 $T_A =$ 全動作温度範囲。

表2.

Parameter	Symbol	Condition	Min	Typ	Max	Unit
STATIC PERFORMANCE ¹						
Resolution	N	1 LSB = $V_{REF}/2^{14} = 610\text{ }\mu\text{V}$ when $V_{REF} = 10\text{ V}$			14	Bits
Relative Accuracy	INL				±1	LSB
Differential Nonlinearity	DNL				±1	LSB
Output Leakage Current	I_{OUTX}	Data = 0000 _H , $T_A = 25^\circ\text{C}$			10	nA
	I_{OUTX}	Data = 0000 _H , $T_A = T_A$ maximum			20	nA
Full-Scale Gain Error	G_{FSE}	Data = 3FFF _H		±2	±10	mV
Full-Scale Tempco ²	TCV_{FS}			1		ppm/ $^\circ\text{C}$
Feedback Resistor	R_{FBX}	$V_{DD} = 5\text{ V}$	4	6	8	k Ω
REFERENCE INPUT						
V_{REFX} Range	V_{REFX}		−15		+15	V
Input Resistance	R_{REFX}		4	6	8	k Ω
Input Resistance Match	R_{REFX}	Channel-to-channel		1		%
Input Capacitance ²	C_{REFX}			5		pF
ANALOG OUTPUT						
Output Current	I_{OUTX}	Data = 3FFF _H	1.25		2.5	mA
Output Capacitance ²	C_{OUTX}	Code-dependent		80		pF
LOGIC INPUT AND OUTPUT						
Logic Input Low Voltage	V_{IL}				0.8	V
Logic Input High Voltage	V_{IH}		2.4			V
Input Leakage Current	I_{IL}				1	μA
Input Capacitance ²	C_{IL}				10	pF
Logic Output Low Voltage	V_{OL}	$I_{OL} = 1.6\text{ mA}$			0.4	V
Logic Output High Voltage	V_{OH}	$I_{OH} = 100\text{ }\mu\text{A}$	4			V
INTERFACE TIMING ^{2,3}						
Clock Width High	t_{CH}		25			ns
Clock Width Low	t_{CL}		25			ns
$\overline{CS}$ to Clock Setup	t_{CSS}		0			ns
Clock to $\overline{CS}$ Hold	t_{CSH}		25			ns
Clock to SDO Prop Delay	t_{PD}		2		20	ns
Load DAC Pulse Width	t_{LDAC}		25			ns
Data Setup	t_{DS}		20			ns
Data Hold	t_{DH}		20			ns
Load Setup	t_{LDS}		5			ns
Load Hold	t_{LDH}		25			ns
SUPPLY CHARACTERISTICS						
Power Supply Range	$V_{DD\text{ RANGE}}$		4.5		5.5	V
Positive Supply Current	I_{DD}	Logic inputs = 0 V		50	250	μA
Negative Supply Current	I_{SS}	Logic inputs = 0 V, $V_{SS} = -5\text{ V}$		0.001	1	μA
Power Dissipation	P_{DISS}	Logic inputs = 0 V			1.25	mW
Power Supply Sensitivity	PSS	$\Delta V_{DD} = \pm 5\%$			0.006	%/%
AC CHARACTERISTICS ⁴						

Parameter	Symbol	Condition	Min	Typ	Max	Unit
Output Voltage Settling Time	t _s	To ±0.1% of full scale, data = 0000 _H to 3FFF _H to 0000 _H		1		μs
Output Voltage Settling Time	t _s	To ±0.0015% of full scale, data = 0000 _H to 3FFF _H to 0000 _H		2		μs
Reference Multiplying BW	BW – 3 dB	V _{REF} X = 100 mV rms, data = 3FFF _H , C _{FB} = 15 pF		2		MHz
DAC Glitch Impulse	Q	V _{REF} X = 10 V, data 0000 _H to 2000 _H to 0000 _H		12		nV-s
Feedthrough Error	V _{OUT} X/V _{REF} X	Data = 0000 _H , V _{REF} X = 100 mV rms, f = 100 kHz		–65		dB
Crosstalk Error	V _{OUT} A/V _{REF} B	Data = 0000 _H , V _{REF} B = 100 mV rms, adjacent channel, f = 100 kHz		–90		dB
Digital Feedthrough	Q	$\overline{CS}$ = 1, and f _{CLK} = 1 MHz		5		nV-s
Total Harmonic Distortion	THD	V _{REF} = 5 V p-p, data = 3FFF _H , f = 1 kHz		–90		dB
Output Spot Noise Voltage	e _N	f = 1 kHz, BW = 1 Hz		7		nV $\sqrt{Hz}$

¹ すべてのスタティック性能テスト(ただし IOUT を除く)は、外付けの高精度 OP177 (I/V コンバータ・アンプ)を使ったクローズド・ループ・システム内で実施。AD5554 の RFB ピンはアンプ出力に接続。Typ 値は、25℃での平均測定値。

2 これらのパラメータは、デザインで保証しますが、出荷テストは行いません。

3 すべての入力制御信号は tR = tF = 2.5 ns (3 V の 10%から 90%)で規定し、1.5 V の電圧レベルからの時間とします。

4 すべての AC 特性テストは、OP42(I/V コンバータ・アンプ)を使用したクローズド・ループ・システム内で実施。

絶対最大定格

表3.

Parameter	Rating
V_{DD} to GND	-0.3 V, +8 V
V_{SS} to GND	+0.3 V, -7 V
V_{REF} to GND	-18 V, +18 V
Logic Input and Output to GND	-0.3 V, +8 V
$V(I_{OUT})$ to GND	-0.3 V, $V_{DD} + 0.3$ V
A_{GNDX} to DGND	-0.3 V, +0.3 V
Input Current to Any Pin Except Supplies	±50 mA
Package Power Dissipation	$(T_J \text{ Max} - T_A)/\theta_{JA}$
Thermal Resistance	θ_{JA}
28-Lead Shrink Surface-Mount (RS-28)	100°C/W
Maximum Junction Temperature ($T_J \text{ Max}$)	150°C
Operating Temperature Range: Model A	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature:	
RS-28 (Vapor Phase, 60 secs)	215°C
RS-28 (Infrared, 15 secs)	220°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



ピン配置およびピン機能説明

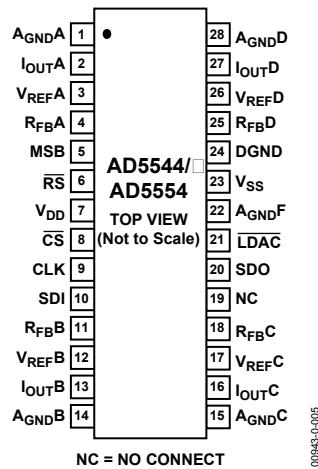


図3.AD5544/AD5554 のピン配置

表4.ピン機能の説明

ピン番号	名前	機能
1	A _{GND} A	DAC A のアナログ・グラウンド。
2	I _{OUT} A	DAC A の電流出力。
3	V _{REF} A	DAC A のリファレンス電圧入力ピン。DAC A のフル・スケール出力電圧を設定します。このピンは V _{DD} ピンに接続することができます。
4	R _{FB} A	外付けアンプの出力に接続して、DAC A の電圧出力を決定します。
5	MSB	MSB ビット。リセット・パルス ($\overline{\text{RS}}$) 時に、またはシステム・パワーオン時に(グラウンドまたは V _{DD} に接続した場合)、ピンがセットされます。
6	$\overline{\text{RS}}$	リセット・ピン、アクティブ・ロー入力。入力レジスタと DAC レジスタは全ビットゼロに、または MSB ピンの電圧で指定されるハーフ・スケール・コード (AD5544 では 8000 _H 、AD5554 では 2000 _H) に設定されます。MSB = 0 のときレジスタ・データ = 0000 _H 。レジスタ・データ = 8000 _H (AD5544) および 2000 _H 。
7	V _{DD}	正電源入力。規定動作範囲: 5 V ±10%。
8	$\overline{\text{CS}}$	チップ・セレクト、アクティブ・ロー入力。ハイ・レベルのとき、シフト・レジスタのロードをディスエーブルします。 $\overline{\text{CS}}$ / $\overline{\text{LDAC}}$ がハイ・レベルに戻ると、シリアル・レジスタ・データが入力レジスタへ転送されます。 $\overline{\text{LDAC}}$ の動作には影響を与えません。
9	CLK	クロック入力。立ち上がりエッジで、データがシフトレジスタに入力されます。
10	SDI	シリアル・データ入力。入力データが直接シフト・レジスタにロードされます。
11	R _{FB} B	外付けアンプの出力に接続して、DAC B の電圧出力を決定します。
12	V _{REF} B	DAC B のリファレンス電圧入力ピン。DAC B のフル・スケール出力電圧を設定します。このピンは V _{DD} ピンに接続することができます。
13	I _{OUT} B	DAC B の電流出力。
14	A _{GND} B	DAC B のアナログ・グラウンド。
15	A _{GND} C	DAC C のアナログ・グラウンド。
16	I _{OUT} C	DAC C の電流出力。
17	V _{REF} C	DAC C のリファレンス電圧入力ピン。DAC C のフル・スケール出力電圧を設定します。このピンは V _{DD} ピンに接続することができます。
18	R _{FB} C	外付けアンプの出力に接続して、DAC C の電圧出力を決定します。
19	NC	未接続。このピンには何も接続しないでください。
20	SDO	シリアル・データ出力。入力データが直接シフト・レジスタにロードされます。データが SDO に出力されます。SDI ピンへの入力後、AD5544 では 19 クロック・パルス後、AD5554 では 17 クロック・パルス後になります。
21	$\overline{\text{LDAC}}$	ロード DAC レジスタ・ストローブ、レベル検出のアクティブ・ロー。すべての入力レジスタ・データが DAC レジスタへ転送されます。非同期的なアクティブ・ロー入力。動作については表 5 と表 6 参照。
22	A _{GND} F	高電流アナログ・フォース・グラウンド。

23	VSS	負のバイアス電源入力。規定動作範囲: $-5.5\text{ V} \sim +0.3\text{ V}$ 。
24	DGND	デジタル・グラウンド・ピン。
25	R _{FB} D	外付けアンプの出力に接続して、DAC D の電圧出力を決定します。
26	V _{REF} D	DAC D のリファレンス電圧入力ピン。DAC D のフル・スケール出力電圧を設定します。このピンは V _{DD} ピンに接続することができます。
27	I _{OUT} D	DAC D の電流出力。
28	A _{GND} D	DAC D のアナログ・グラウンド。

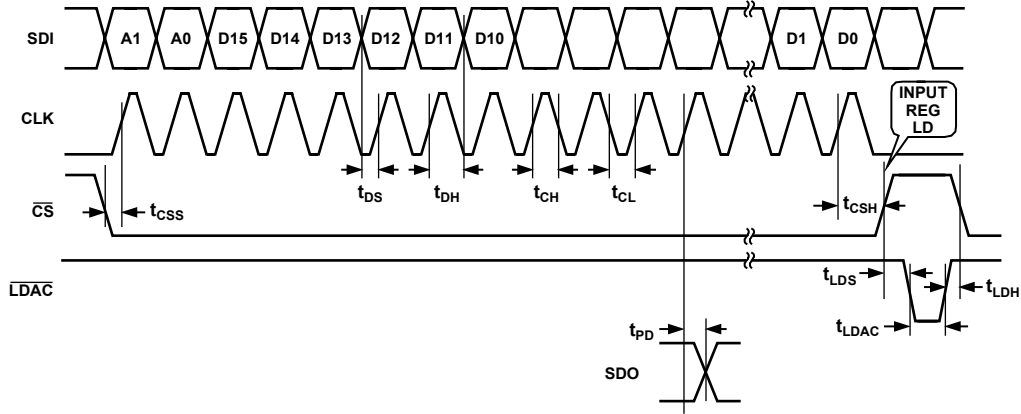


図4.AD5544 のタイミング図

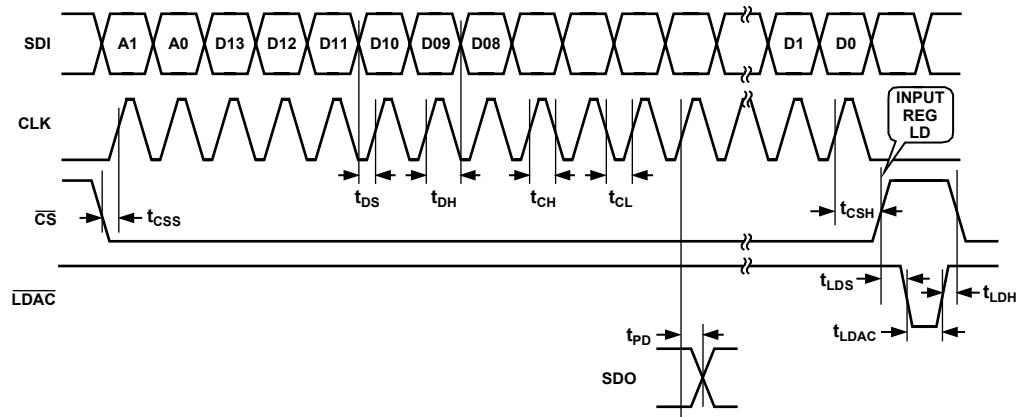


図5.AD5554 のタイミング図

表 5.AD5544¹ コントロール・ロジックの真理値表

CS	CLK	LDAC	RS	MSB	Serial Shift Register Function	Input Register Function	DAC Register
H	X	H	H	X	No Effect	Latched	Latched
L	L	H	H	X	No Effect	Latched	Latched
L	↑ ₊	H	H	X	Shift-Register-Data Advanced One Bit	Latched	Latched
L	H	H	H	X	No Effect	Latched	Latched
↑ ₊	L	H	H	X	No Effect	Selected DAC Updated with Current SR Contents	Latched
H	X	L	H	X	No Effect	Latched	Transparent
H	X	H	H	X	No Effect	Latched	Latched
H	X	↑ ₊	H	X	No Effect	Latched	Latched
H	X	H	L	0	No Effect	Latched Data = 0000 _H	Latched Data = 0000 _H
H	X	H	L	H	No Effect	Latched Data = 8000 _H	Latched Data = 8000 _H

¹ AD5544 では、SDI ピンへの入力から 19 クロック・パルス後にデータが SDO ピンに出力されます。

表 6.AD5554¹ コントロール・ロジックの真理値表

$\overline{\text{CS}}$	CL K	$\overline{\text{LDAC}}$	$\overline{\text{RS}}$	MSB	Serial Shift Register ² Function	Input Register ² Function	DAC Register
H	X	H	H	X ³	No Effect	Latched	Latched
L	L	H	H	X	No Effect	Latched	Latched
L	$\uparrow_{+2}$	H	H	X	Shift-Register-Data Advanced One Bit	Latched	Latched
L	H	H	H	X	No Effect	Latched	Latched
$\uparrow_{+2}$	L	H	H	X	No Effect	Selected DAC Updated with Current Shift-Register Contents ⁴	Latched
H	X	L	H	X	No Effect	Latched	Transparent
H	X	H	H	X	No Effect	Latched	Latched
H	X	$\uparrow_{+}$	H	X	No Effect	Latched	Latched
H	X	H	L	0	No Effect	Latched Data = 0000 _H	Latched Data = 0000 _H
H	X	H	L	H	No Effect	Latched Data = 2000 _H	Latched Data = 2000 _H

¹ AD5554 では、SDI ピンへの入力から 17 クロック・パルス後にデータが SDO ピンに出力されます。

² $\uparrow_{+}$ は正のロジック変化。

³ X = don't care.

⁴ パワーオン時には、入力レジスタと DAC レジスタに全ビット・ゼロがロードされます。

表 7.AD5544 のシリアル入力レジスタ・データ・フォーマット、データは MSB ファースト・フォーマットでロード¹

	MS B																	LS B
Bit Position	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Data Word	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

¹ シリアル・レジスタに入力された最後の 18 ビット(アドレス+データ)のみが、 $\overline{\text{CS}}$ ピンがロジック・ハイ状態に戻ったときに検査されます。この時点で、内部で発生されたロード・ストロブにより、シリアル・データ・レジスタ値(ビット D15~D0)がビット A1 とビット A0 で指定される DAC 入力レジスタ・アドレスへ転送されます。AD5544 シフトレジスタへ入力された残りのビットは無視され、入力された最後の 18 ビットのみが使用されます。ダブル・バッファされたデータが必要ない場合は、 $\overline{\text{LDAC}}$ ピンをロー・レベルに固定して、DAC レジスタをディスエーブルすることができます。

表 8.AD5554 のシリアル入力レジスタ・データ・フォーマット、データは MSB ファースト・フォーマットでロード¹

	MSB															LSB
Bit Position	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Data Word	A1	A0	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

¹ シリアル・レジスタに入力された最後の 16 ビット(アドレス+データ)のみが、 $\overline{\text{CS}}$ ピンがロジック・ハイ状態に戻ったときに検査されます。この時点で、内部で発生されたロード・ストロブにより、シリアル・データ・レジスタ値(ビット D13~D0)がビット A1 とビット A0 で指定される DAC 入力レジスタ・アドレスへ転送されます。AD5554 シフトレジスタへ入力された残りのビットは無視され、入力された最後の 16 ビットのみが使用されます。ダブル・バッファされたデータが必要ない場合は、 $\overline{\text{LDAC}}$ ピンをロー・レベルに固定して、DAC レジスタをディスエーブルすることができます。

表 9.アドレス・デコード

A1	A0	DAC Decoded
0	0	DAC A
0	1	DAC B
1	0	DAC C
1	1	DAC D

代表的な性能特性

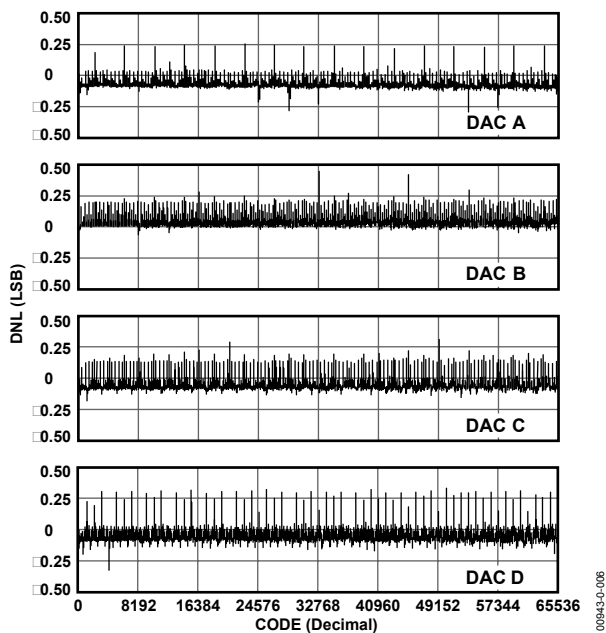


図6.AD5544 DNL 対コード、 $T_A = 25^\circ\text{C}$

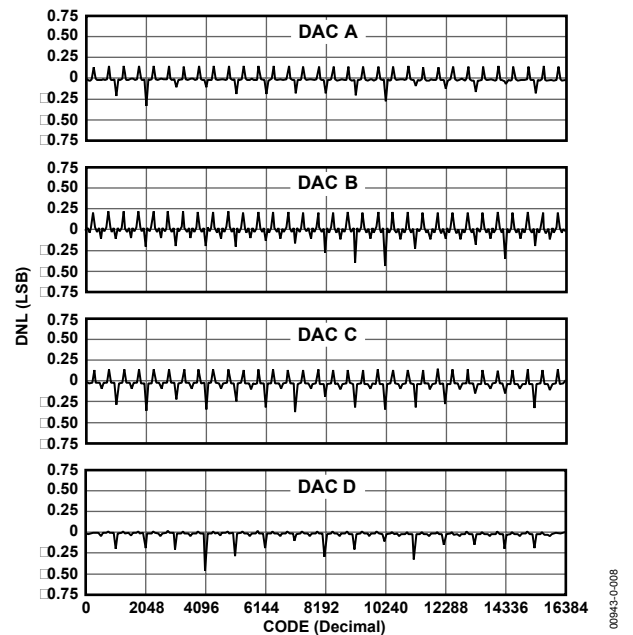


図8.AD5554 DNL 対コード、 $T_A = 25^\circ\text{C}$

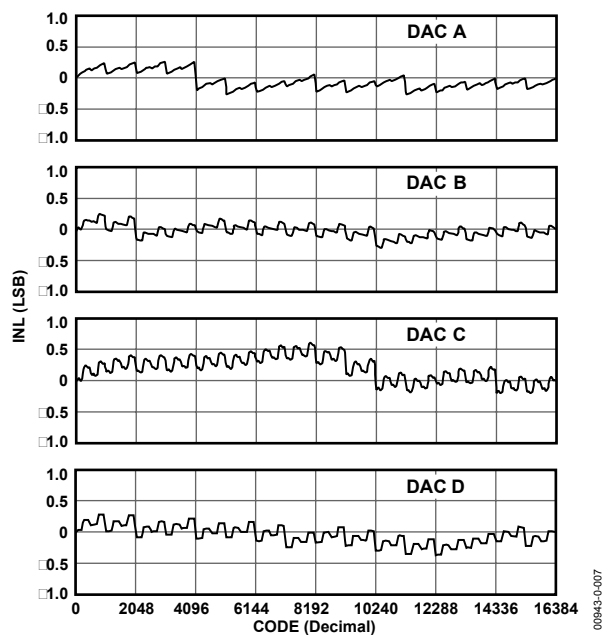


図7.AD5554 INL 対コード、 $T_A = 25^\circ\text{C}$

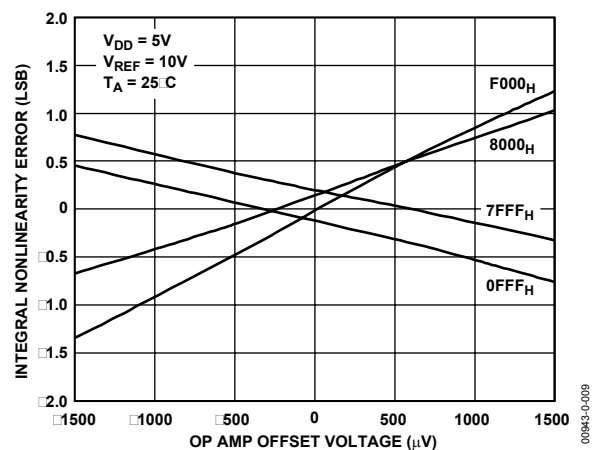


図9.AD5544 積分非直線性誤差対オペアンプ・オフセット

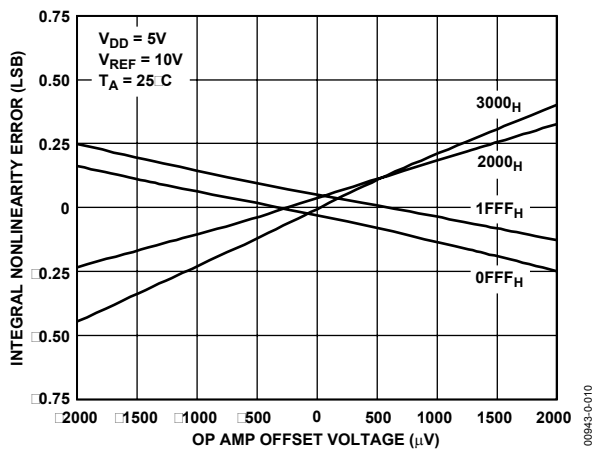


図10.AD5554 積分非直線性誤差対オペアンプ・オフセット

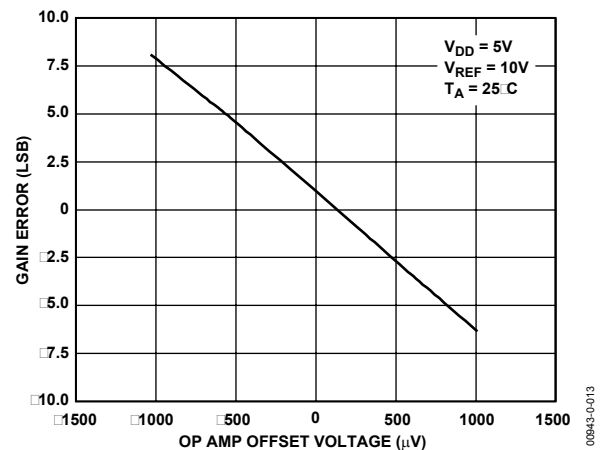


図13.AD5544 ゲイン誤差対オペアンプ・オフセット

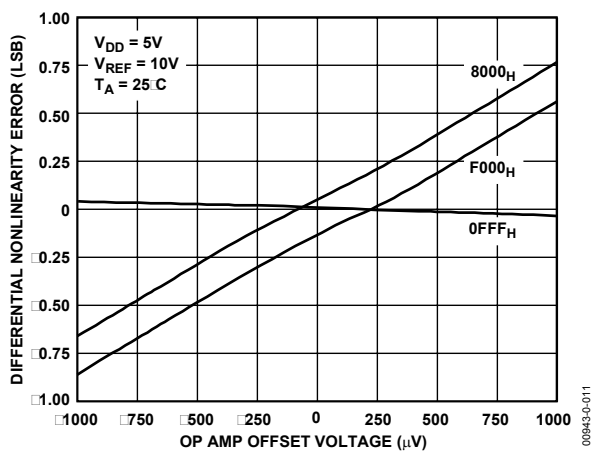


図11.AD5544 微分非直線性誤差対オペアンプ・オフセット

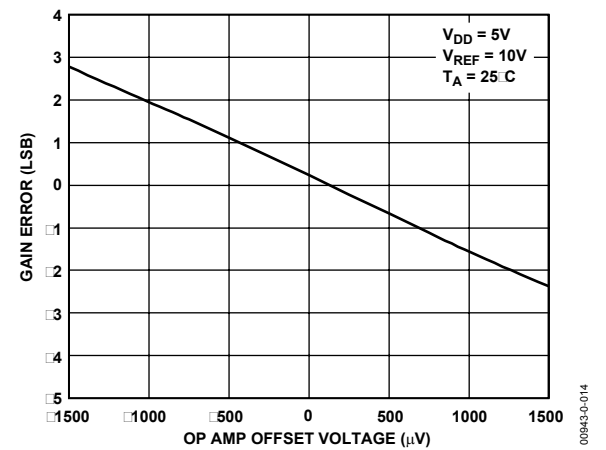


図14.AD5554 ゲイン誤差対オペアンプ・オフセット

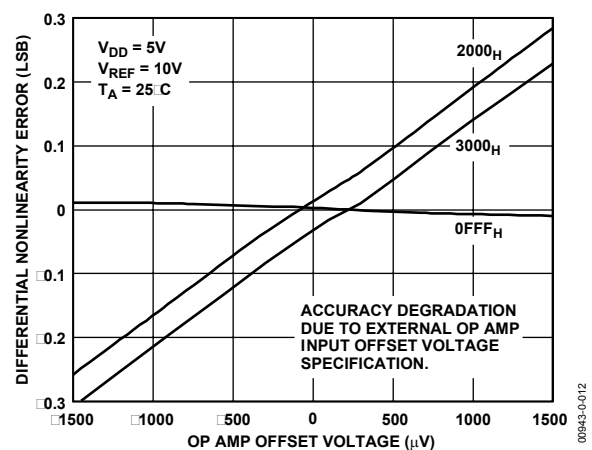


図12.AD5554 微分非直線性誤差対オペアンプ・オフセット

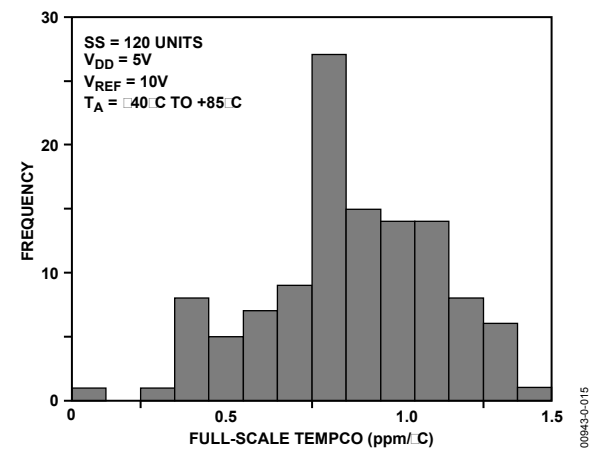


図15.AD5544 フル・スケール温度係数 (ppm/°C)

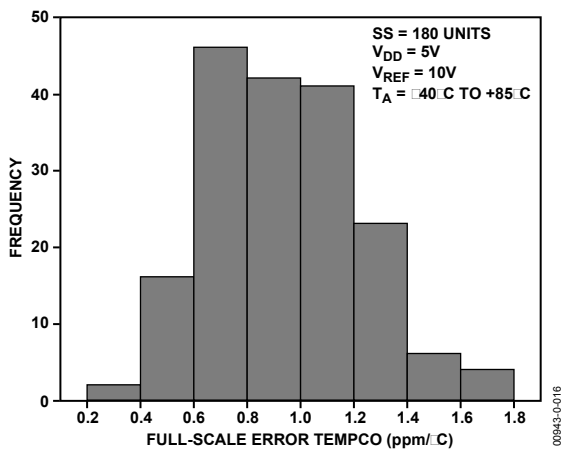


図16.AD5554 フル・スケール温度係数 (ppm/°C)

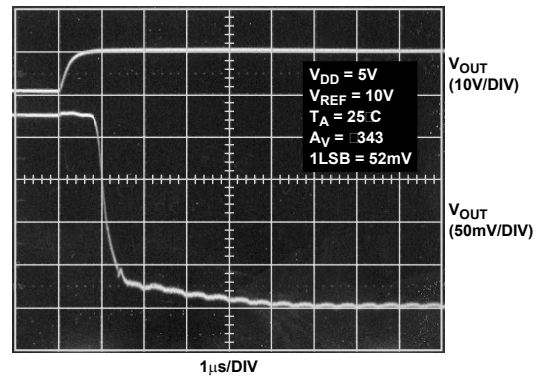


図19.AD5544 小信号セトリング・タイム

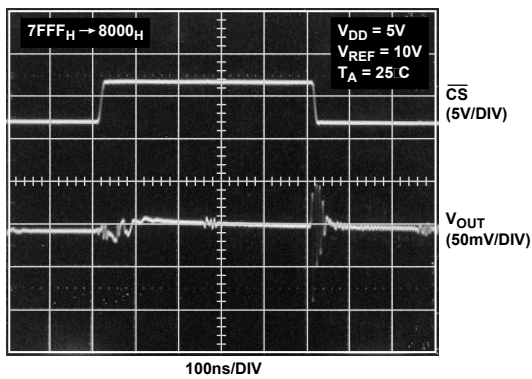


図17.AD5544 ミッド・スケール変化

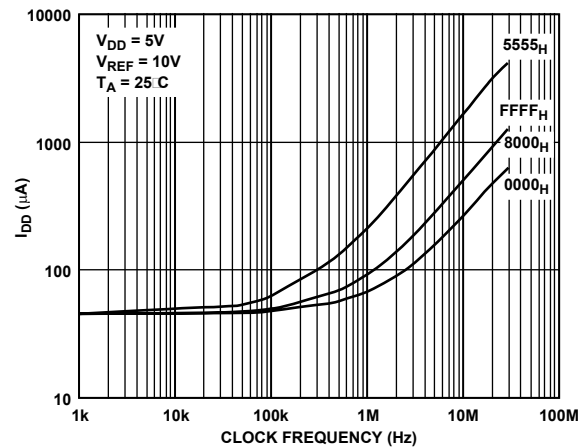


図20.AD5544 電源電流対クロック周波数

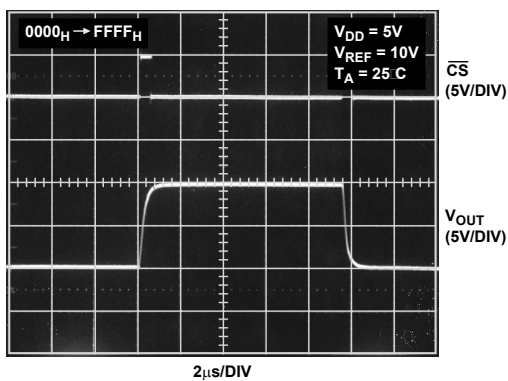


図18.AD5544 大信号セトリング・タイム

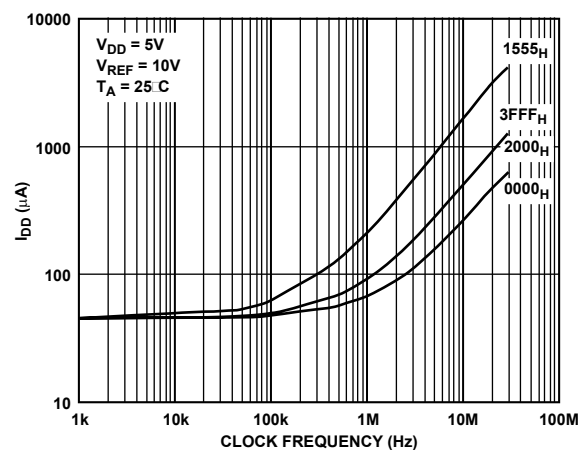


図21.AD5554 電源電流対クロック周波数

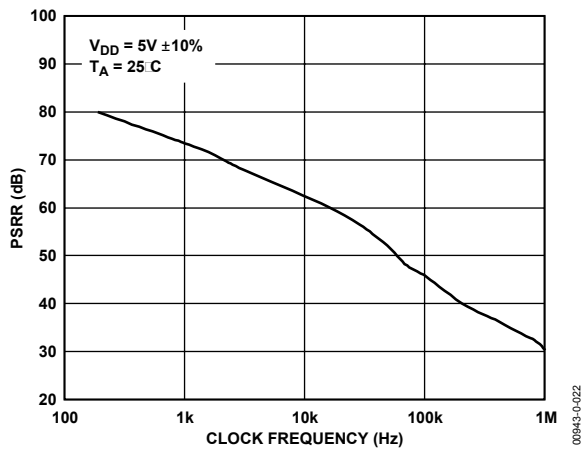


図22.AD5544/AD5554 電源除去比の周波数特性

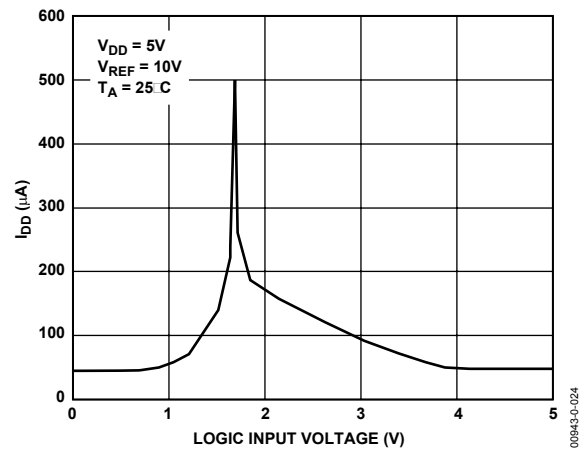


図24.AD5544/AD5554 電源電流対ロジック入力電圧

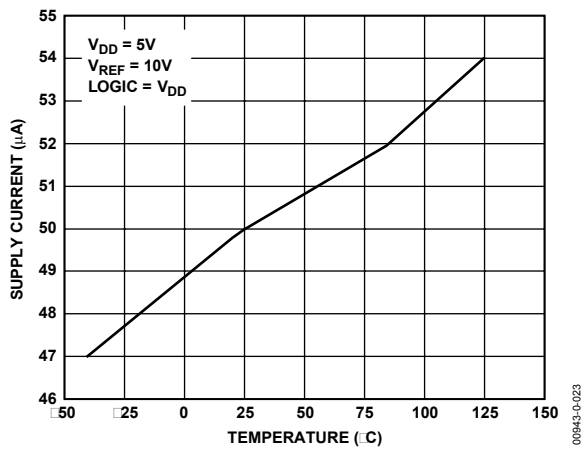


図23.AD5544/AD5554 電源電流の温度特性

回路動作

AD5544 と AD5554 は、それぞれ 16 ビットと 14 ビットの電流出力 D/A コンバータを 4 個内蔵しています。各 DAC は専用の独立した乗算リファレンス入力を持っています。AD5544 と AD5554 は、3 線式の **SPI** 互換シリアル・データ・インターフェースを採用し、非同期 **RS** ピンはハーフ・スケール (**MSB** = 1) またはゼロ・スケール (**MSB** = 0) にプリセットすることが可能です。さらに、**LDAC** ストロブには 4 チャンネルの同時更新を可能にするため、出力電圧変化のハードウェア同期が可能です。

D/A コンバータ

各デバイスは、4 個の電流切替型の R-2R ラダーDAC を内蔵しています。図 25 に一般的な等価 DAC を示します。各 DAC には、外付け I/V 変換アンプと組み合わせて使用するマッチング帰還抵抗が内蔵されています。R_{FBX} ピンは、外付けアンプの出力に接続されます。I_{OUTX} ピンは、外付けアンプの反転入力に接続されます。A_{GNDX} ピンは、16 ビット精度を必要とする負荷ポイントヘケルピン接続する必要があります。これらの DAC は、負または正のリファレンス電圧で動作するようにデザインされています。V_{DD} 電源ピンは、ロジックが DAC スイッチのオン状態とオフ状態を駆動するときのみ使います。内蔵の 5 k Ω 帰還抵抗と直列にマッチング・スイッチが使用されていることに注意してください。R_{FB} を測定する際には、連続性を維持するために V_{DD} に電源を接続してください。追加の V_{SS} バイアス・ピンは、高温アプリケーションでサブストレートをガードするために使って、10°C ごとに 2 倍になるゼロ・スケール・リーク電流を小さくします。DAC 出力電圧は、次式の V_{REF} とデジタル・データ (D) で決定されます。

$$V_{OUT} = -V_{REF} \times \frac{D}{65536} \text{ (For AD5544)} \quad (1)$$

$$V_{OUT} = -V_{REF} \times \frac{D}{16384} \text{ (For AD5554)} \quad (2)$$

出力極性は、DCリファレンス電圧の V_{REF} 極性と反対になることに注意してください。

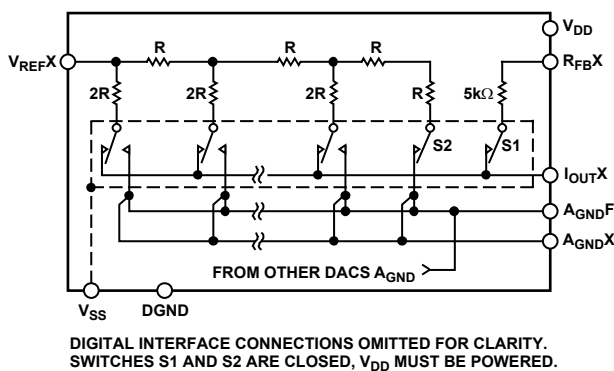


図25.一般的な等価 DAC チャンネル

これらのDACには、ACリファレンス信号も入力できるようにデザインされています。AD5544とAD5554には、-12 V～+12 Vの範囲のリファレンス電圧を入力することができます。このリファレンス電圧の入力は5 k Ω ±30%の一定公称入力抵抗を持っています。

一方、DAC 出力の IOUTA、B、C、D は、コードに依存し、種々の出力抵抗と出力容量を発生します。外付けアンプの選択では、AD5544/AD5554によって発生される、アンプ反転入力ノードでのインピーダンス変動を考慮する必要があります。DAC のラダー抵抗と並列に接続されている帰還抵抗が、出力電圧ノイズを支配します。乗算モード・アプリケーションでは、外付け帰還補償コンデンサ (C_{FB}) がリファレンス入力電圧でのステップ変化に対するクリティカル制動出力応答を提供するために必要となることがあります。図26と図27に、それぞれAD5544とAD5554の I_{OUTX} ピンと R_{FBX} ピンの間に 23 pF 外部帰還コンデンサを接続した場合の、種々の減衰設定でのゲイン周波数特性を示します。アナログ性能を維持するためには、0.01 μ F と 1 μ F の並列接続による電源バイパスが推奨されます。これらの条件では、リップル電圧の小さい電源を使う必要があります。スイッチング電源はリップル電圧が大きく PSS 周波数に依存する特性であるため、一般にこのアプリケーションには適しません。AD5544/AD5554の 5 V 電源はシステムのアナログ電源電圧で駆動するのが最適です。デジタル 5 V 電源は使用しないでください(図28参照)。

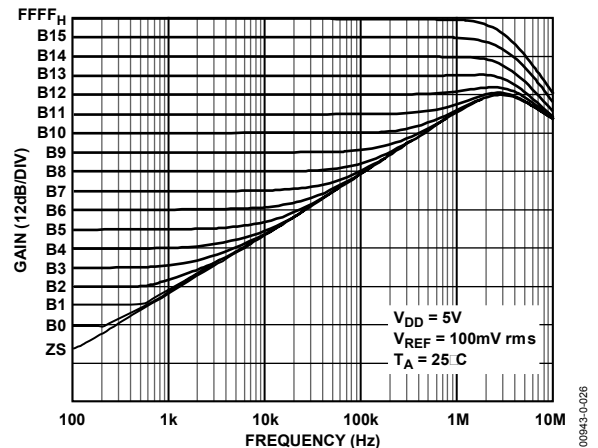


図26.AD5544 リファレンス乗算帯域幅対コード

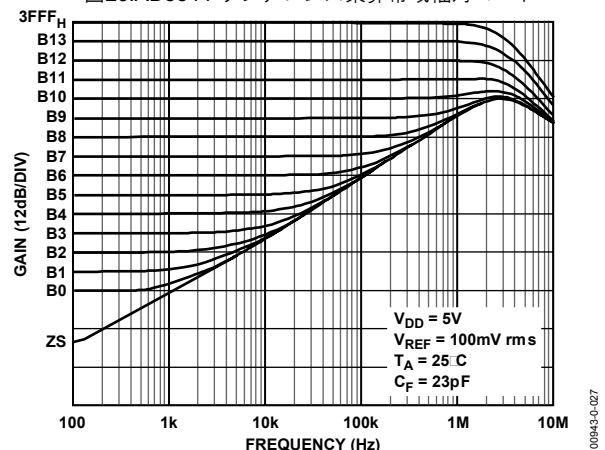


図27.AD5554 リファレンス乗算帯域幅対コード

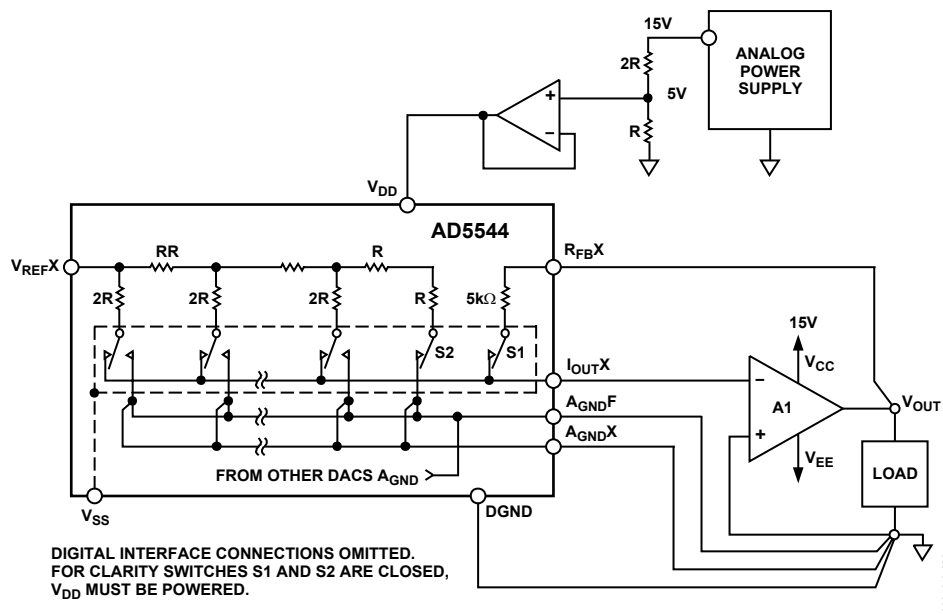


図28.推奨ケルビン電流検出接続

シリアル・データ・インターフェース

AD5544/AD5554 は 3 線式(CS、SDI、CLK)のシリアル・データ・インターフェースを採用しています。AD5544 と AD5554 のシリアル・データは、それぞれ 18 ビットと 16 ビットのデータ・ワード・フォーマットでシリアル入力レジスタに入力されます。MSB ファーストでロードされます。表 6 に、AD5544 の 18 ビットのデータ・ワードを定義します。

表 7 に、AD5554 の 16 ビットのデータ・ワードを定義します。データは SDI ピンに入力されて、CLK の立ち上がりエッジでレジスタに入力されます。このとき、インターフェース・タイミング仕様で定めるデータ・セットアップ・タイム条件とデータ・ホールド・タイム条件を満たしている必要があります。データは、 $\overline{\text{CS}}$ チップ・セレクト・ピンがアクティブ・ローのときにのみ入力することができます。AD5544 の場合は、シリアル・レジスタに入力された最後の 18 ビットのみが、 $\overline{\text{CS}}$ ピンがロジック・ハイ状態に戻ったときに採用され、残りのデータ・ビットは無視されます。AD5554 の場合は、シリアル・レジスタに入力された最後の 16 ビットのみが、 $\overline{\text{CS}}$ ピンがロジック・ハイ状態に戻ったときに採用されます。多くのマイクロコントローラはシリアル・データを 8 ビット・バイトで出力するため、右詰めの

3データ・バイトをAD5544に書き込むことができます。1番目、2番目、3番目のバイト転送の間にCS ラインをロー・レベルに維持すると、シリアル・レジスタが更新されます。同様に、2バイトの右詰めデータを AD5554に書き込むことができます。1番目と2番目のバイト転送の間にCS ラインをロー・レベルに維持すると、シリアル・レジスタが更新されます。

データが正しくソフト・レジスタ内に並べられた後、 $\overline{\text{CS}}$ の立ち上がりエッジにより、アドレス・ビット A1 と A0 のデコーディングにより指定されるターゲット DAC レジスタへの新しいデータの転送が開始されます。AD5544 のソフトウェア・シリアル・インターフェースの特性は、表 5、表 7、表 9、図 4 に定義します。AD5544 のソフトウェア・シリアル・インターフェースの特性は、表 6、表 8、表 9、図 5 に定義します。図 29 と図 30 に、AD5544 の主要なデジタル・コントロール・ピンの等価ロジック・インターフェースを示します。AD5544 も同じ構成ですが、データが 14 ビットである点が異なります。その他の 2 本のピン(RS と MSB)は、プリセット機能と DAC レジスタ・ローディングのハードウェア制御機能を提供します。

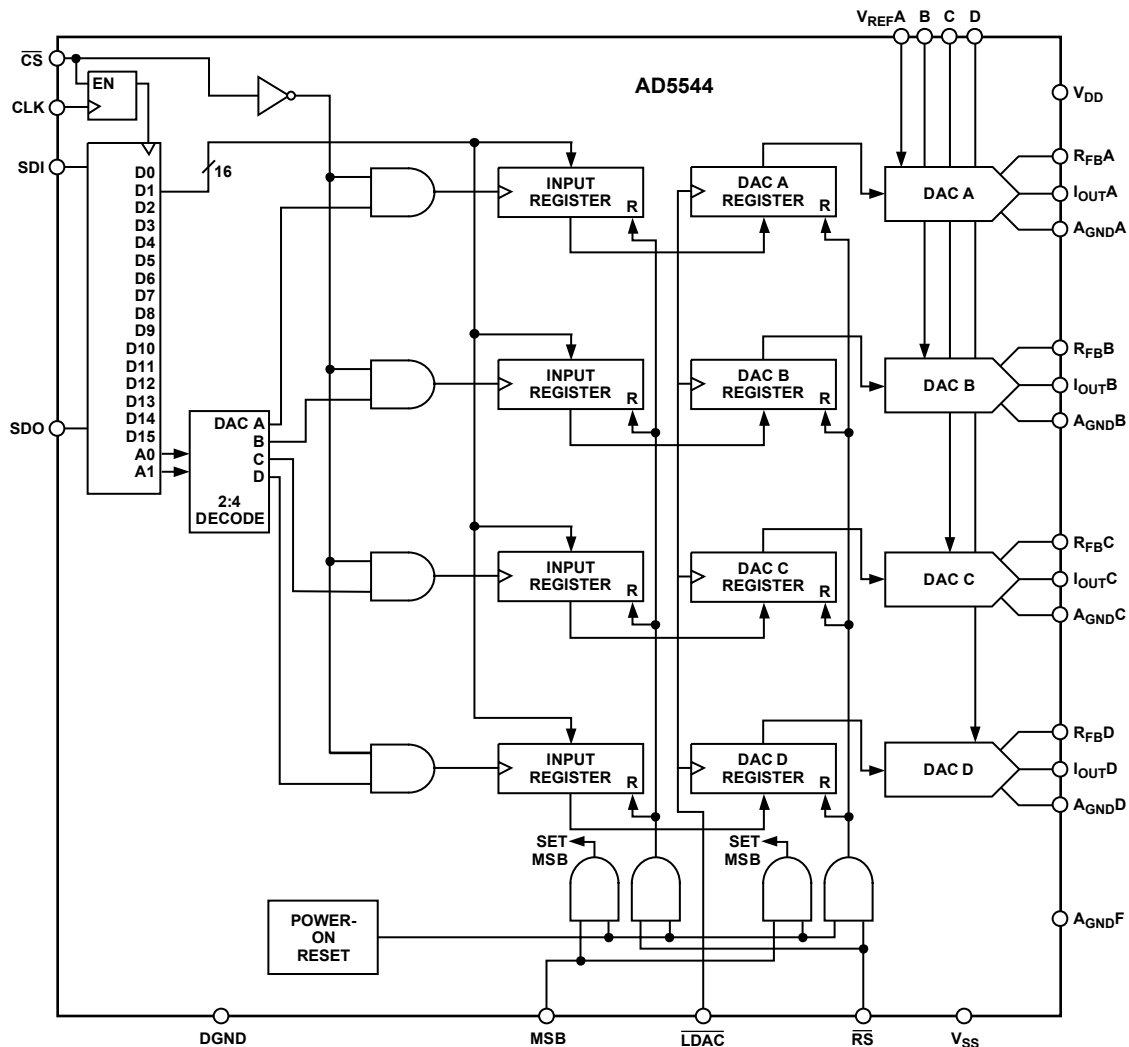


図29.システム・レベルのデジタル・インターフェース

これらの機能を使用しない場合は、 $\overline{RS}$ ピンをロジック・ハイに固定することができます。非同期入力 $\overline{RS}$ ピンは、すべての入力と DAC レジスタをゼロ・コード状態 (MSB = 0) またはハーフ・スケール状態 (MSB = 1) に設定します。

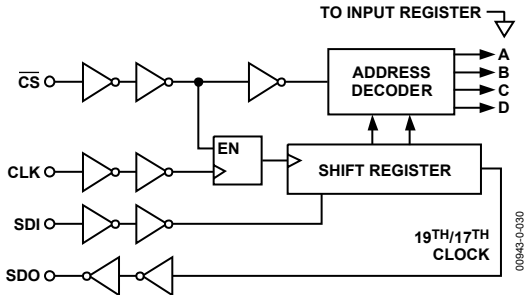


図30.AD5544/AD5554 の等価ロジック・インターフェース

パワーオン・リセット

V_{DD} 電源がターンオンすると、内部リセット・ストロブにより、すべての入力と DAC レジスタが、MSB ピンの電圧に応じてゼロ・コード状態またはハーフ・スケール状態に設定されます。 V_{DD} 電源は、特に $V_{DD} = 1.5\text{ V} \sim 2.3\text{ V}$ の領域では、途中で低下することなく滑らかに立ち上がる必要があります。 V_{SS} 電源はパワーオン・リセット性能に影響しません。DAC レジスタ・データは、シリアル・レジスタ・データの有効なロードが行われるまで、ゼロ・スケール設定またはハーフ・スケール設定に留まります。

ESD 保護回路

すべてのロジック入力ピンでは、逆バイアスされた ESD 保護ツェナー・ダイオードが、グラウンド (D_{GND}) と V_{DD} の間に接続されています (図31)。

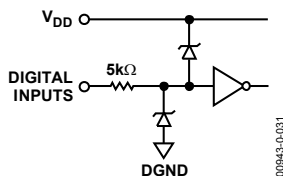


図31.等価 ESD 保護回路

電源シーケンス

標準手順として、すべてのリファレンス電圧より先に V_{DD} 、 V_{SS} 、グラウンドをオンにすることが推奨されます。最適なパワーアップ・シーケンスは、 A_{GNDX} 、 D_{GND} 、 V_{DD} 、 V_{SS} 、 V_{REFX} 、デジタル入力の順序です。不適合なパワーアップ・シーケンスではリファレンス電流が大きくなりますが、 V_{DD} と V_{SS} がオンするとデバイスはノーマル動作を開始します。

レイアウトと電源のバイパス

小型で最小長の線によるレイアウト・デザインは重要です。入力までの線は、最小の導体長で可能な限り真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。

同様に、高品質のコンデンサを使って電源をバイパスして最適な安定性を得ることも重要です。デバイスまでの電源線は、 $0.01\mu\text{F} \sim 0.1\mu\text{F}$ のディスク型またはチップ型セラミック・コンデンサを使ってバイパスする必要があります。

小さい ESR を持つ $1\mu\text{F} \sim 10\mu\text{F}$ のタンタル・コンデンサまたは電解コンデンサも V_{DD} に接続して、過渡電圧を抑え、低周波リップルを除去する必要があります (図 32 参照)。スイッチング・レギュレータは、周波数によりデバイスの電源除去比が低下するため V_{DD} に使用しないでください。

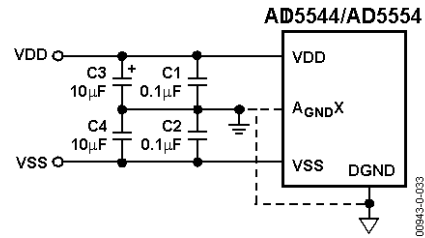


図32.電源バイパスとグラウンド接続

グラウンド接続

AD5544/AD5554 の D_{GND} ピンと A_{GNDX} ピンは、デジタルとアナログのグラウンド・リファレンスと呼ばれます。デジタル・グラウンド・バウンズを最小にするため、 D_{GND} ピンは離れた所の 1 点でアナログ・グラウンド・プレーンに接続する必要があります (図 32 参照)。

アプリケーション

AD5544/AD5554 は、もともと 2 象限乗算 D/A コンバータの機能を持っています。すなわち、容易にユニポーラ出力動作に設定することができます。フル・スケール出力の極性は、リファレンス入力電圧と反対になります。アプリケーションによっては、4 象限乗算機能、すなわちバイポーラ出力振幅の発生が必要となることがあります。これは、加算アンプとして構成された外付けアンプ (A_2) を追加することにより容易に実現することができます (図 33 参照)。この回路で、1 つ目と 2 つ目のアンプ (A_1 と A_2) は合計 2 のゲインを提供し、これにより出力電圧スパンが 20 V に拡大されます。外付けアンプにリファレンス電圧から 10 V のオフセットを与えると、4 象限乗算回路が得られます。この回路の伝達関数は、入力データ (D) がコード・ゼロ ($V_{OUT} = -10\text{ V}$) → ミッド・スケール ($V_{OUT} = 0\text{ V}$) → フル・スケール ($V_{OUT} = 10\text{ V}$) へ増加することに対応して、負と正の両出力電圧が発生することを示しています。

$$V_{OUT} \left(\frac{D}{32768} - 1 \right) \times -V_{REF} \quad (\text{For AD5544}) \quad (3)$$

$$V_{OUT} \left(\frac{D}{8192} - 1 \right) \times -V_{REF} \quad (\text{For AD5554}) \quad (4)$$

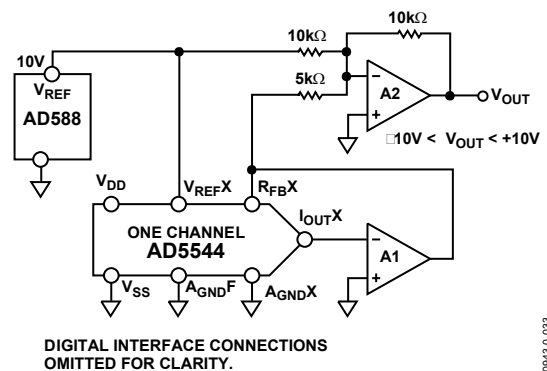


図33.4 象限乗算アプリケーション回路

外形寸法

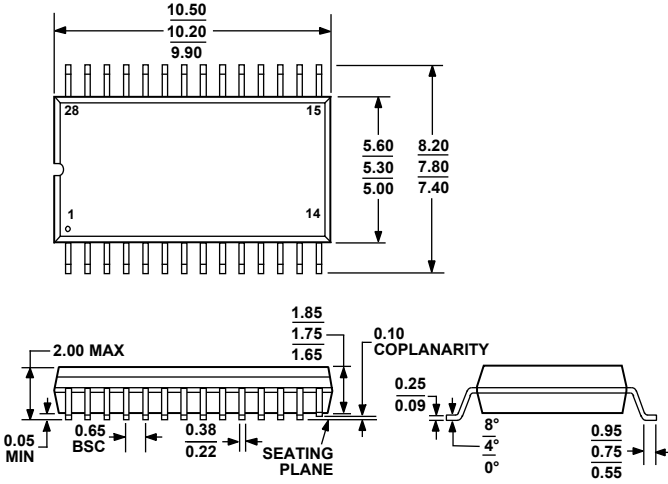


図34.28 ピン SSOP
(RS-28)
寸法: インチ (mm)

オーダー・ガイド

Model	RES Bit	INL LSB	DNL LSB	Temperature Range	Package Description	Package Option
AD5544ARS	16	±4	±1.5	−40°C to +85°C	SSOP-28	RS-28
AD5554BRS	14	±1	±1	−40°C to +85°C	SSOP-28	RS-28
AD5544EVAL					Evaluation Board	