

特長

SC70 パッケージを採用
 非常に小さい I_B : 最大 1 pA
 単電源動作: 5 V~26 V
 両電源動作: ± 2.5 V~ ± 13 V
 レール to レール出力
 低電源電流: アンプあたり 630 μ A (typ)
 低オフセット電圧: 500 μ V 最大
 ユニティ・ゲイン安定
 位相反転なし

アプリケーション

フォトダイオード・アンプ
 ATE
 ライン電源/バッテリー使用の計装機器
 工業用制御
 車載センサー
 高精度フィルタ
 オーディオ

概要

AD862x は高精度の JFET 入力アンプであり、単電源動作、低消費電力、レール to レール出力が特長です。500 pF を超える容量負荷でも出力は安定を維持し、電源電流はアンプあたり 630 μ A 未満です。AD862x のアプリケーションとしては、フォトダイオード・トランス・インピーダンス増幅、ATE リファレンス・レベル・ドライバ、バッテリー・マネジメント、ライン電源使用の計装機器、バッテリー駆動のポータブル計装機器、車載センサーを含むリモート・センサーのシグナル・コンデショニングなどがあります。

AD862x は入力でレール to レール近くまでの振幅を、出力ではレール to レールまでの振幅をそれぞれ許容するため、単電源システムで動作する CMOS DAC、ASIC、その他の大きな出力振幅を持つデバイスのバッファとして使うことができます。

帯域幅が 5 MHz で、かつオフセットが小さいため、高精度フィルタにも最適です。

AD862x の仕様は工業温度範囲(-40°C~+85°C)で規定されています。AD8627 は、5 ピン SC70 または 8 ピン SOIC 表面実装パッケージを採用しています (SC70 パッケージ製品はテープ&リールでのみ提供しています)。AD8626 は MSOP または SOIC パッケージを、AD8625 は TSSOP または SOIC パッケージを、それぞれ採用しています。

ピン配置

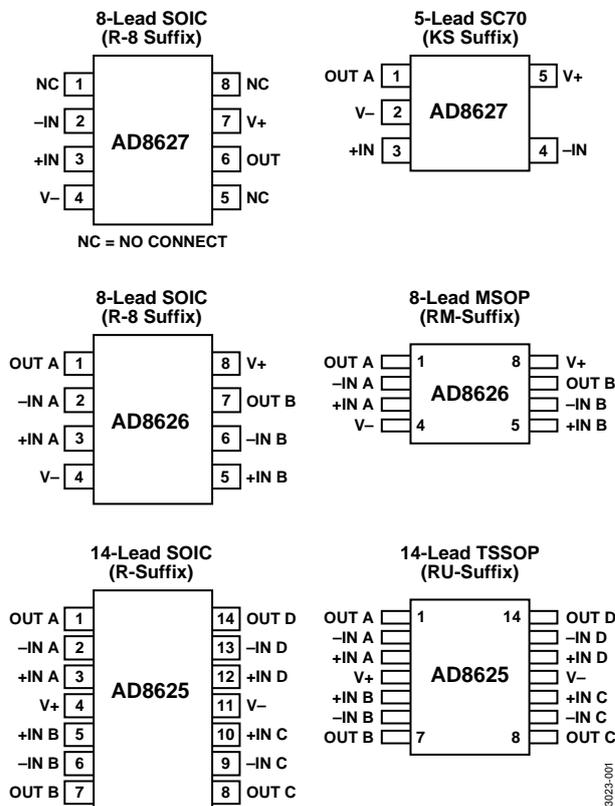


図1.

目次

AD8625/AD8626/AD8627 の仕様	3	フォトダイオード・プリアンプ・アプリケーション	15
電気的特性	3	入力電流の最小化	15
電気的特性	4	DAC出力アンプ	16
絶対最大定格	5	8極のSallen Keyローパス・フィルタ	17
代表的な性能特性	6	外形寸法	18
アプリケーション	13	オーダー・ガイド	19

改訂履歴

3/09—Rev. C to Rev. D

Updated Outline Dimensions	18
Changes to Ordering Guide	19

11/04—Data Sheet Changed from Rev. B to Rev. C

Updated Figure Codes	Universal
Changes to Figure 17 and 18	8
Changes to Figure 33 and Figure 37	11
Changes to Figure 38	12
Changes to Figure 39 and Figure 40	13
Changes to Figure 41 to Figure 44	14

1/04—Data Sheet Changed from Rev. A to Rev. B

Change to General Description	1
Change to Figure 10	7
Change to Figure 13	7
Change to Figure 37	11
Changes to Figure 38	12
Change to Output Amplifier for DACs section	15
Updated Outline Dimensions	19

10/03—Data Sheet Changed from Rev. 0 to Rev. A

Addition of two new parts	Universal
Change to General Description	1
Changes to Pin Configurations	1
Change to Specifications table	3
Changes to Figure 31	10
Changes to Figure 32	11
Changes to Figure 38	12
Changes to Figure 46	16
Changes to Figure 47	16
Changes to Figure 49	17
Updated Outline Dimensions	18
Changes to Ordering Guide	19

AD8625/AD8626/AD8627 の仕様

電気的特性

特に指定がない限り、 $V_S = 5\text{ V}$ 、 $V_{CM} = 1.5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		0.05	0.5	mV
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		0.25	1.2	mV
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$			60	pA
Input Voltage Range		$-40^\circ\text{C} < T_A < +85^\circ\text{C}$			0.5	pA
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to } 2.5\text{ V}$	66	87		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 10\text{ k}\Omega$, $V_O = 0.5\text{ V to } 4.5\text{ V}$	100	230		V/mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		2.5		$\mu\text{V}/^\circ\text{C}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 2\text{ mA}$, $-40^\circ\text{C} < T_A < +85^\circ\text{C}$	4.92			V
Output Voltage Low	V_{OL}	$I_L = 2\text{ mA}$, $-40^\circ\text{C} < T_A < +85^\circ\text{C}$	4.90		0.075	V
Output Current	I_{OUT}			± 10	0.08	V
POWER SUPPLY						
Power-Supply Rejection Ratio	PSRR	$V_S = 5\text{ V to } 26\text{ V}$	80	104		dB
Supply Current/Amplifier	I_{SY}	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		630	785	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR			5		V/ μs
Gain Bandwidth Product	GBP			5		MHz
Phase Margin	ϕ_M			60		Degrees
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		1.9		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		17.5		nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.4		fA/ $\sqrt{\text{Hz}}$
Channel Separation	C_s	$f = 1\text{ kHz}$		104		dB

電氣的特性

特に指定がない限り、 $V_S = \pm 13\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		0.35	0.75	mV
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		0.25	1	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$			60	pA
Input Voltage Range		$-40^\circ\text{C} < T_A < +85^\circ\text{C}$	-13		+11	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -13\text{ V to } +10\text{ V}$	76	105		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 10\text{ k}\Omega$, $V_O = -11\text{ V to } +11\text{ V}$	150	310		V/mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		2.5		$\mu\text{V}/^\circ\text{C}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 2\text{ mA}$, $-40^\circ\text{C} < T_A < +85^\circ\text{C}$	+12.92			V
Output Voltage Low	V_{OL}	$I_L = 2\text{ mA}$, $-40^\circ\text{C} < T_A < +85^\circ\text{C}$	+12.91		-12.92	V
Output Current	I_{OUT}			± 15	-12.91	mA
POWER SUPPLY						
Power-Supply Rejection Ratio	PSRR	$V_S = \pm 2.5\text{ V to } \pm 13\text{ V}$	80	104		dB
Supply Current/Amplifier	I_{SY}	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$		710	850	μA
					900	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR			5		V/ μs
Gain Bandwidth Product	GBP			5		MHz
Phase Margin	ϕ_M			60		Degrees
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		2.5		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		16		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.5		$\text{fA}/\sqrt{\text{Hz}}$
Channel Separation	C_s	$f = 1\text{ kHz}$		105		dB

絶対最大定格

特に指定のない限り、25°Cでの絶対最大定格。

表 3. ストレス定格

Parameter	Ratings
Supply Voltage	27 V
Input Voltage	V_{S-} to V_{S+}
Differential Input Voltage	\pm Supply Voltage
Output Short-Circuit Duration	Indefinite
Storage Temperature Range, R Package	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range, R Package	-65°C to +150°C
Lead Temperature Range (Soldering, 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 4.

Package Type	θ_{JA} ¹	θ_{JC}	Unit
5-Lead SC70 (KS)	376	126	°C/W
8-Lead MSOP (RM)	210	45	°C/W
8-Lead SOIC (R)	158	43	°C/W
14-Lead SOIC (R)	120	36	°C/W
14-Lead TSSOP (RU)	180	35	°C/W

¹ θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

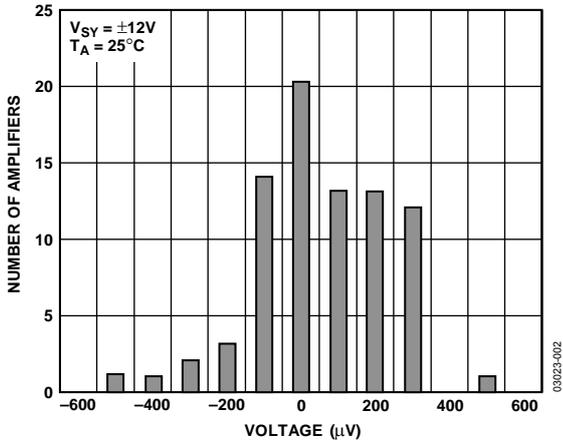


図2.入力オフセット電圧:

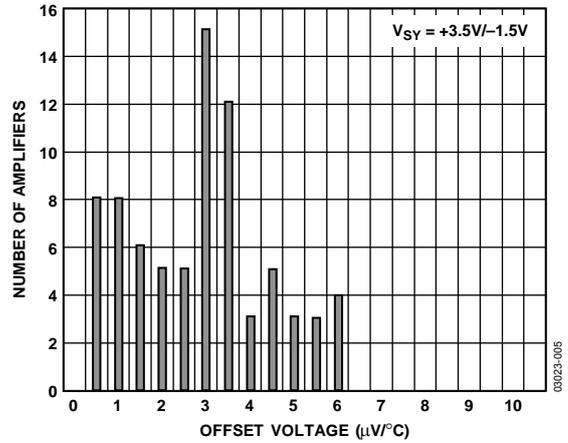


図5.オフセット電圧ドリフト

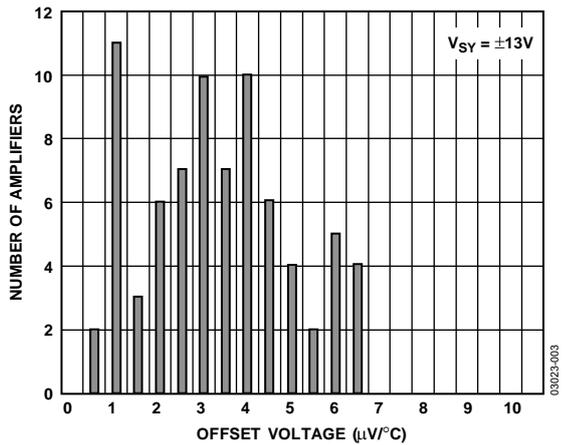


図3.オフセット電圧ドリフト

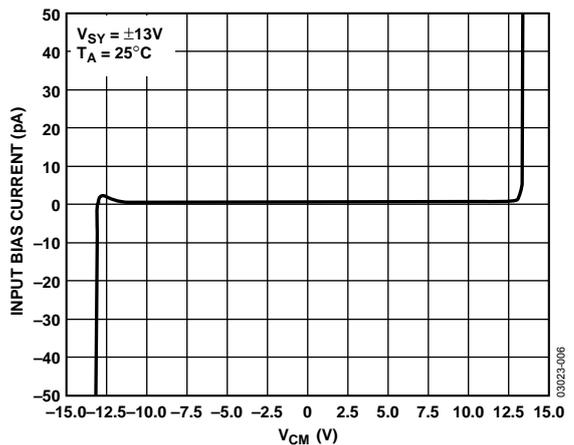


図6. V_{CM} 対入力バイアス電流

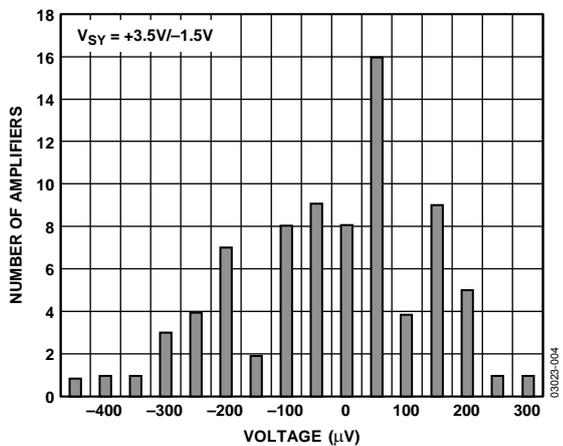


図4.入力オフセット電圧:

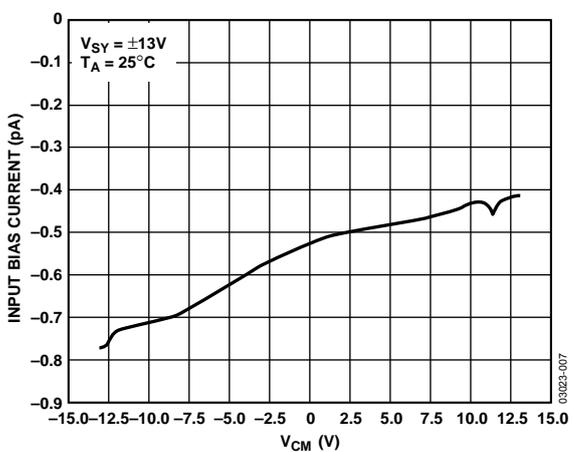


図7. V_{CM} 対入力バイアス電流

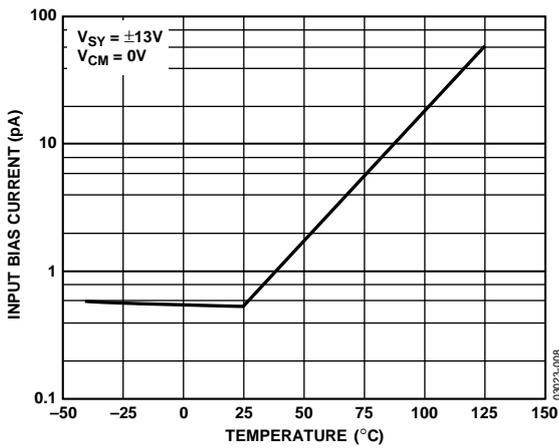


図8.入カバイアス電流の温度特性

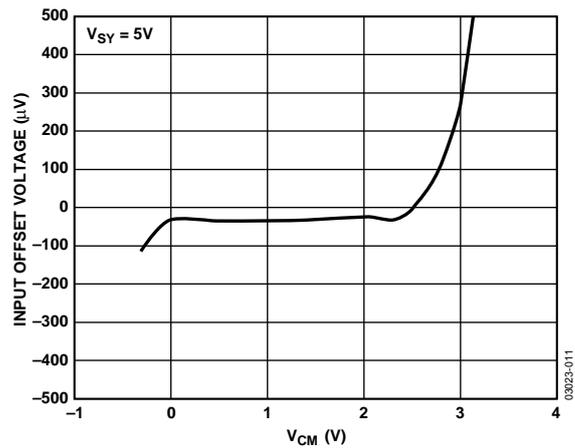


図11.V_{CM}対入カオフセット電圧

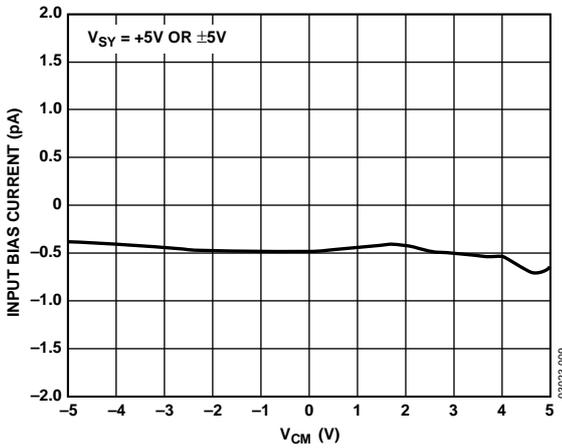


図9.V_{CM}対入カバイアス電流

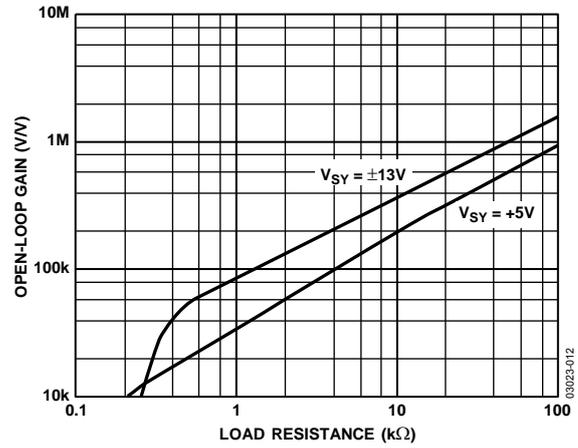


図12.負荷抵抗対オープン・ループ・ゲイン

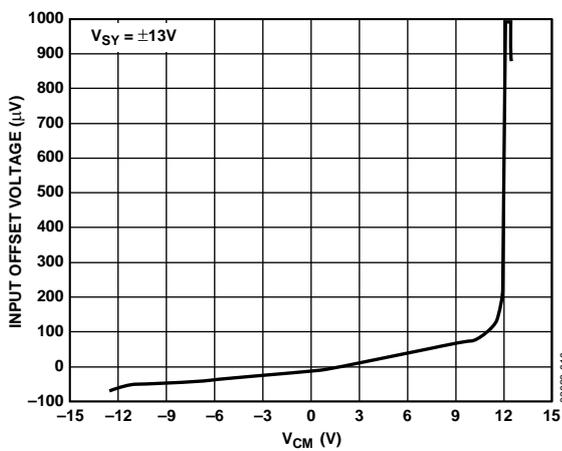


図10.V_{CM}対入カオフセット電圧

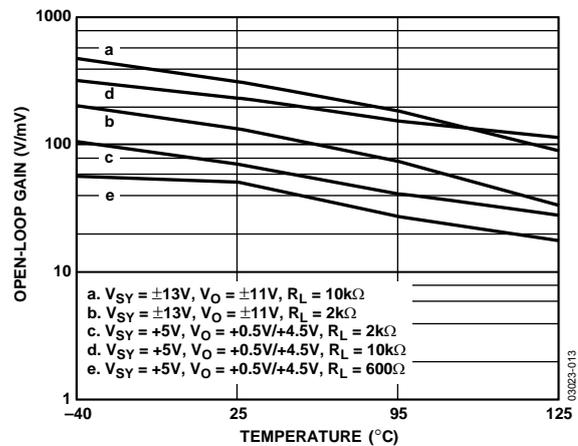


図13.オープン・ループ・ゲインの温度特性

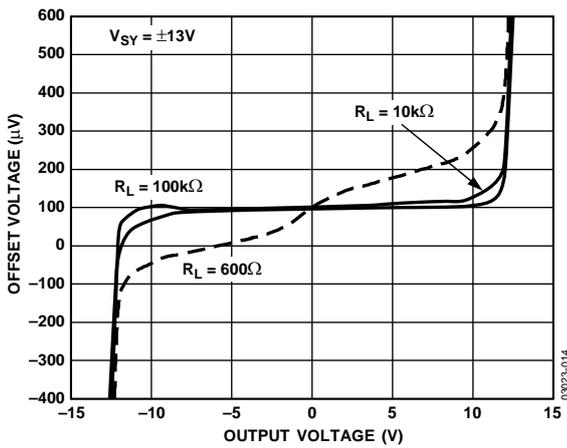


図14.抵抗負荷時の出力電圧対入力誤差電圧

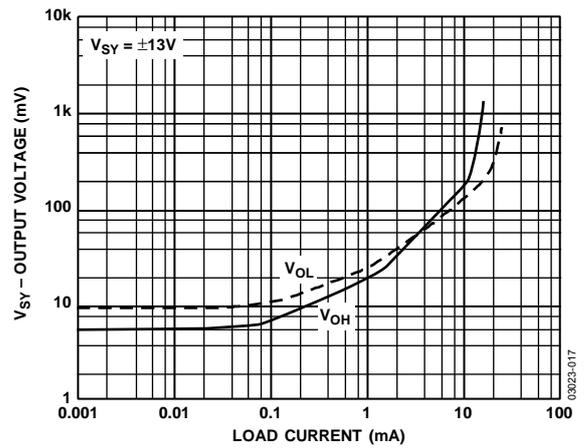


図17.負荷電流対出力飽和電圧

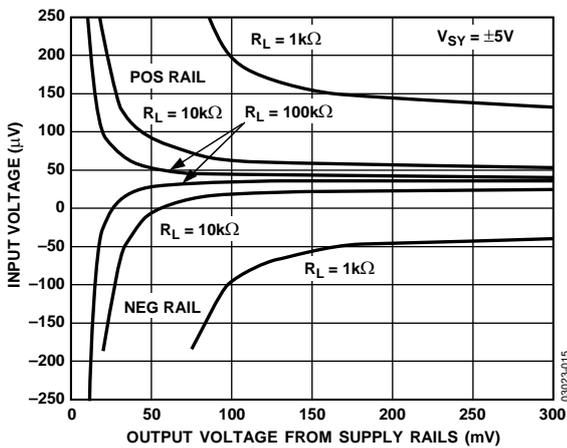


図15.電源レールから 300 mV 以内の出力電圧対入力誤差電圧

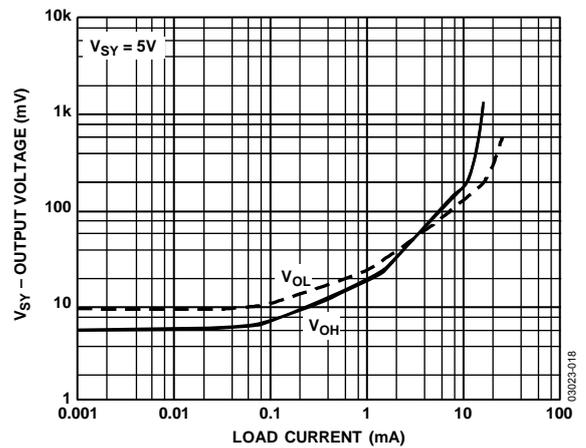


図18.負荷電流対出力飽和電圧

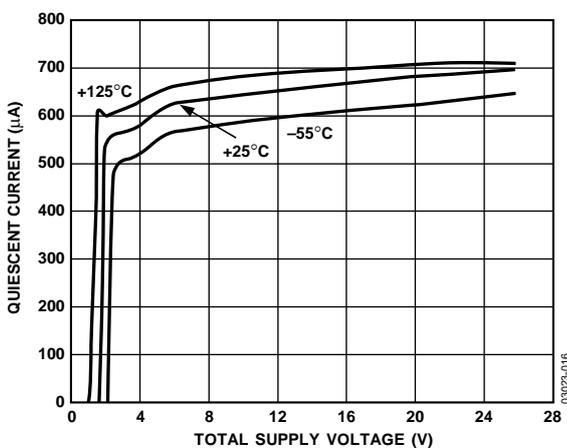


図16.さまざまな温度での電源電圧対静止電流

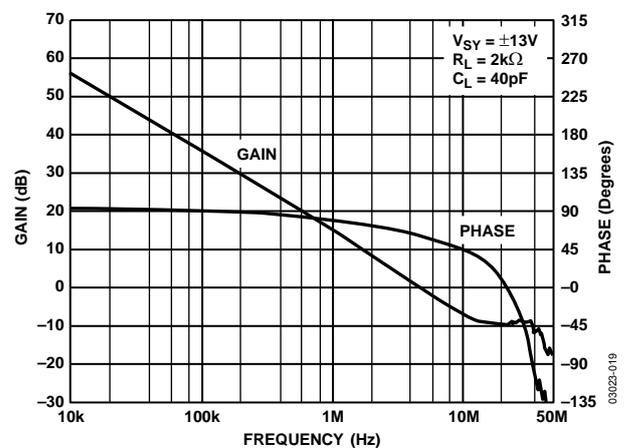


図19.オープン・ループ・ゲインおよび位相マージンの周波数特性

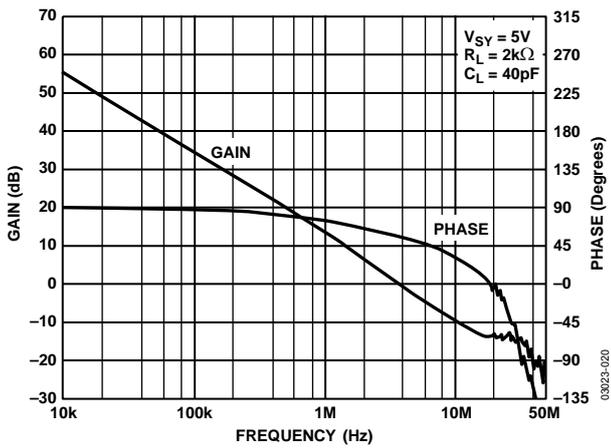


図20.オープン・ループ・ゲインおよび位相マージンの周波数特性

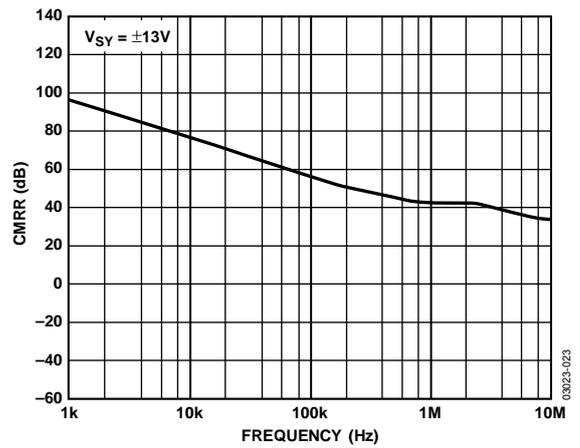


図23.CMRRの周波数特性

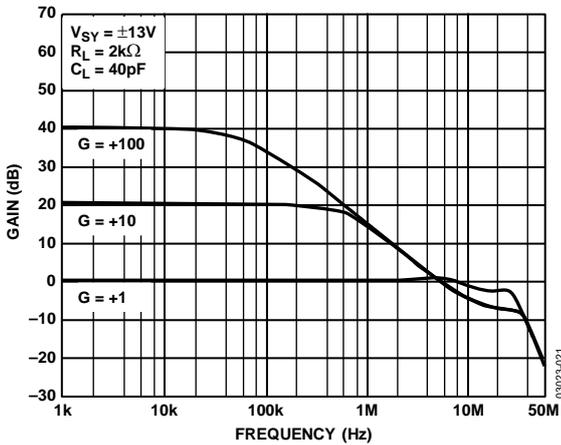


図21.クローズド・ループ・ゲインの周波数特性

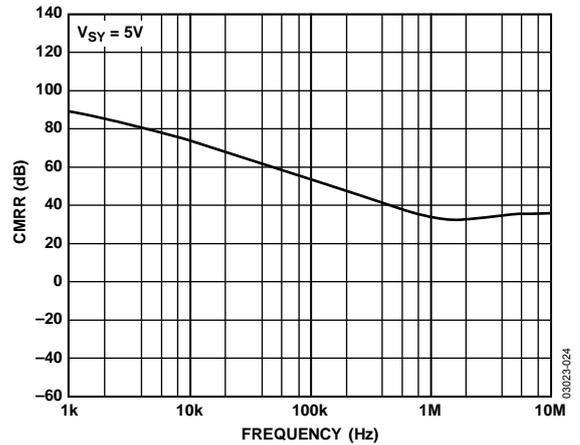


図24.CMRRの周波数特性

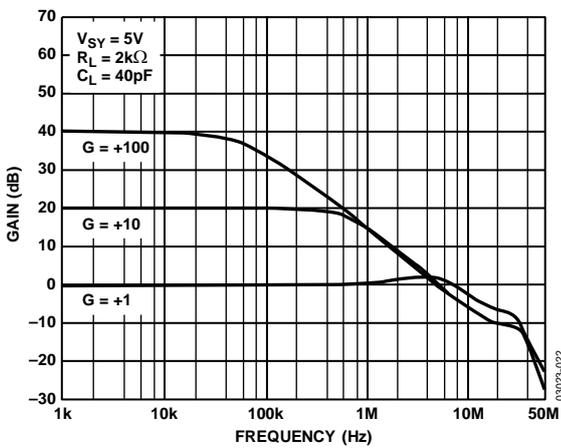


図22.クローズド・ループ・ゲインの周波数特性

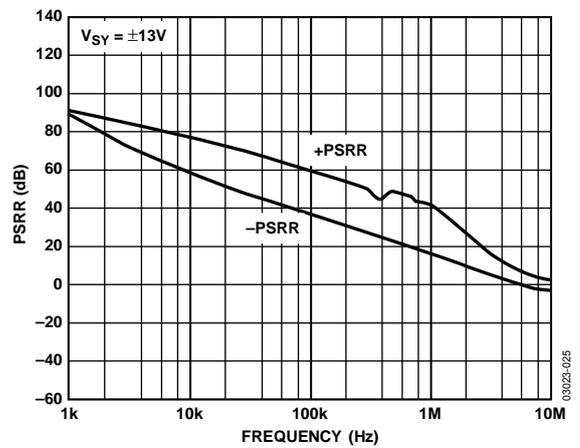


図25.PSRRの周波数特性

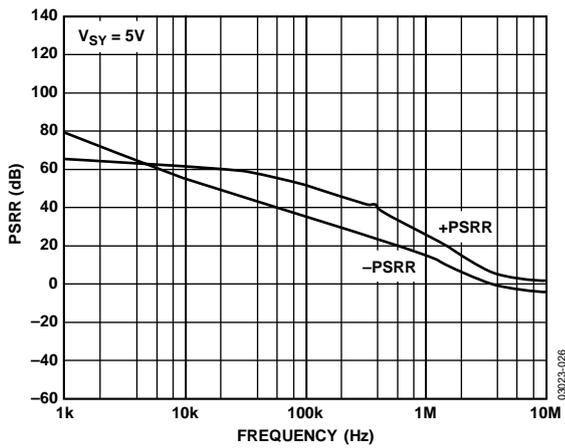


図26.PSRR の周波数特性

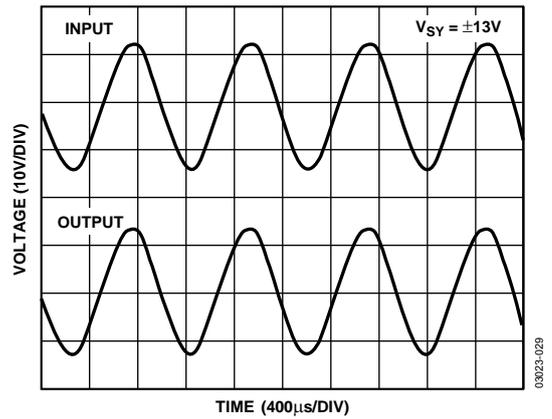


図29.位相反転なし

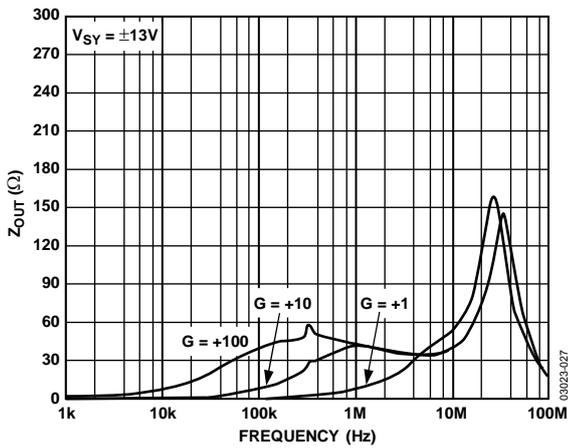


図27.出カインピーダンスの周波数特性

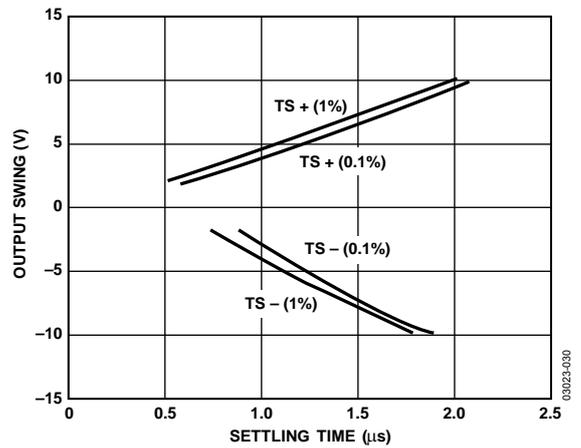


図30.セトリング・タイム対出力振幅および誤差

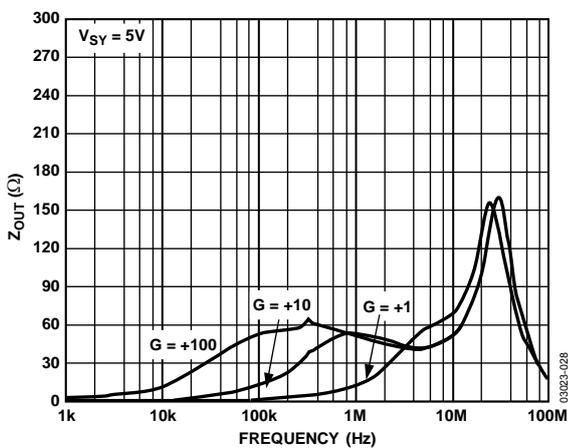


図28.出カインピーダンスの周波数特性

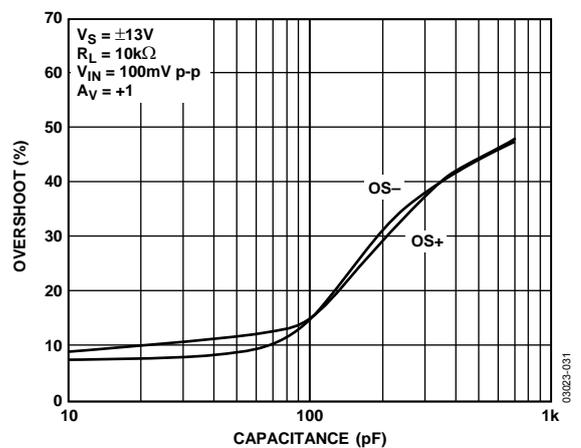


図31.負荷容量対小信号オーバーシュート

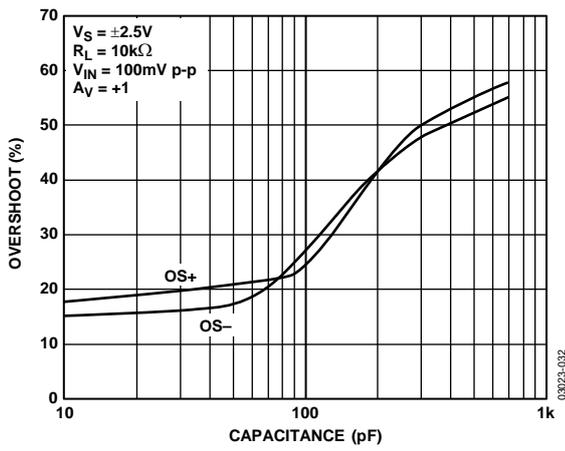


図32. 負荷容量対小信号オーバーシュート

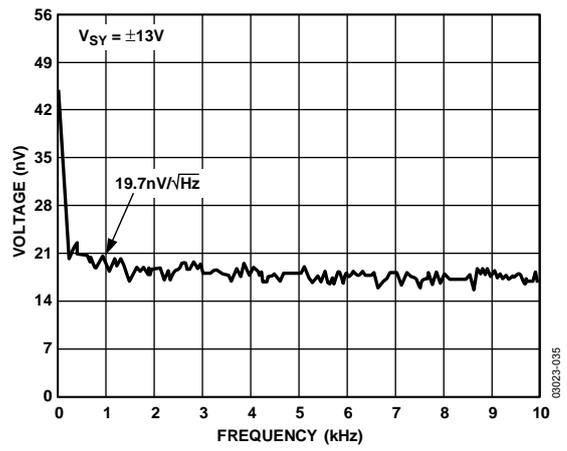


図35. 電圧ノイズ密度

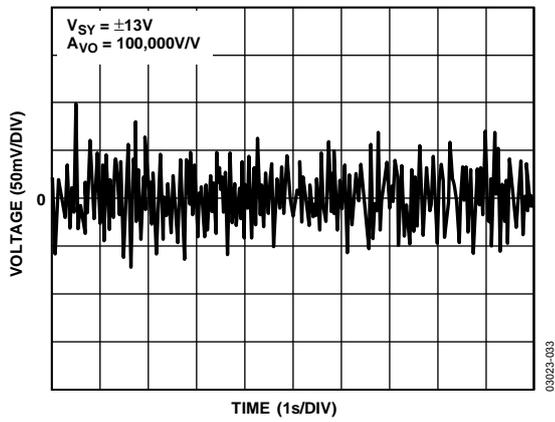


図33. 0.1~10 Hz でのノイズ

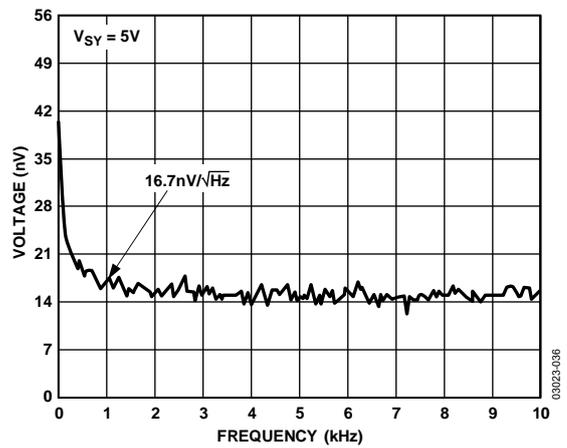


図36. 電圧ノイズ密度

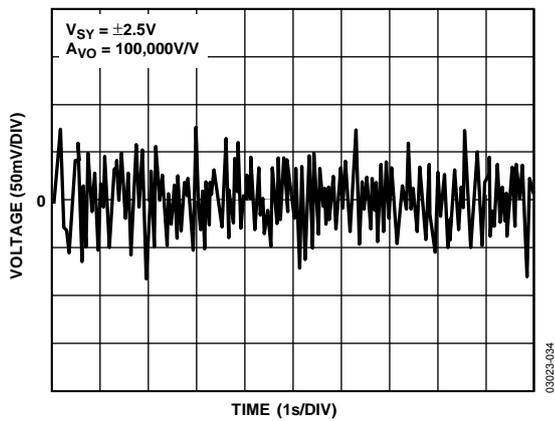


図34. 0.1~10 Hz でのノイズ

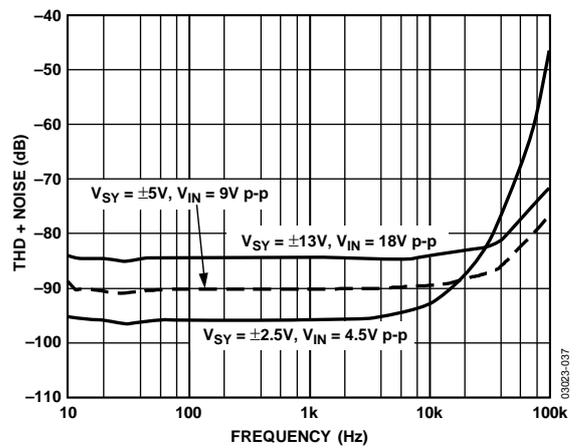


図37. 総合高調波歪み + ノイズの周波数特性

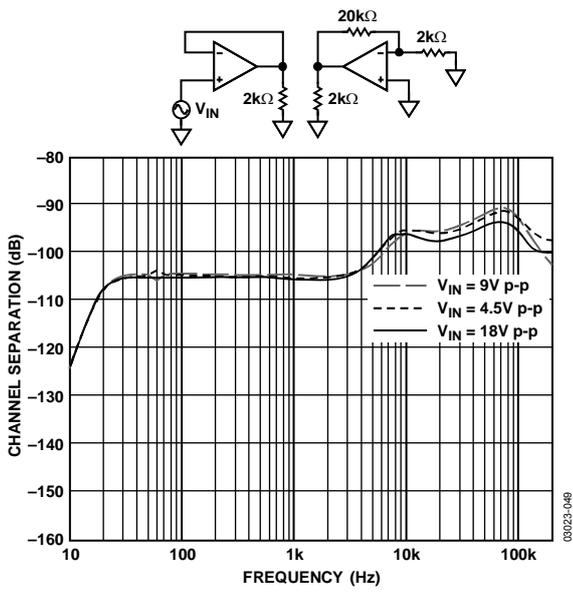


図38.チャンネル・セパレーション

アプリケーション

AD862xは、最も小型で安価なJFET製品の1つです。このデバイスは、真の単電源動作機能と負側電源レールの下側まで伸びた入力電圧範囲を持っているため、グラウンドを下回る入力信号を受け付けることができます。AD862xはレールtoレールの出力が可能であるため、多くのアプリケーションで最大のダイナミック・レンジを提供します。AD862xは、低オフセット低ノイズ高インピーダンスの入力ステージを提供するため、nチャンネルJFETを採用しています。入力同相モード電圧は、 $-V_S - 0.2\text{ V} \sim +V_S - 2\text{ V}$ の範囲まで可能です。ゲイン=1のバッファで構成されたアンプ入力を正側電源レール電圧の内側2Vより上に駆動すると、図15に示すように同相電圧誤差が大きくなり、アンプ帯域幅が狭くなります。帯域幅が狭くなることにより、図39と図40に示すように出力波形がなまります。図では、各入力それぞれ $+V_S - 1\text{ V}$ と $+V_S - 0\text{ V}$ の場合を示してあります。

AD862xでは、図29に示すように正側レールに近い入力信号に対しても位相反転が生じません。 $+V_{SY}$ より高い入力電圧に対しては、AD862xの非反転入力に直列な抵抗により位相反転が防止されますが、入力電圧ノイズが大きくなります。正電源電圧を300mV以上上回る可能性のある入力電圧を与える場合、または $\pm V_{SY} = 0$ でAD862xに入力電圧を与える場合にも、この電流制限抵抗を使う必要があります。いずれの場合でも、この状態が10sec以上継続すると、アンプが損傷します。100k Ω の抵抗を使うと、アンプは10Vまでの連続過電圧に耐えることができ、入力電圧ノイズの増加は無視できます。

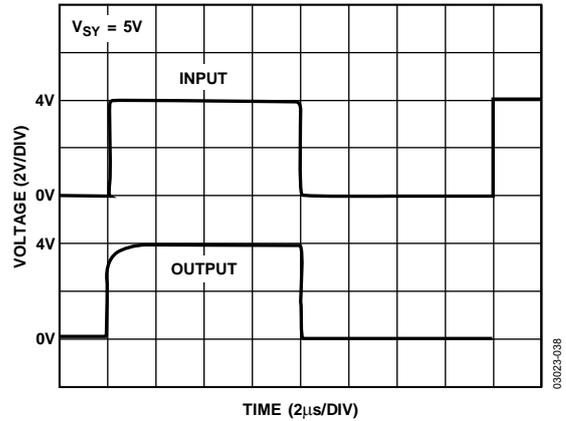


図39.0Vから4Vへのステップ入力に対する電圧フォロア(ゲイン=1)の応答

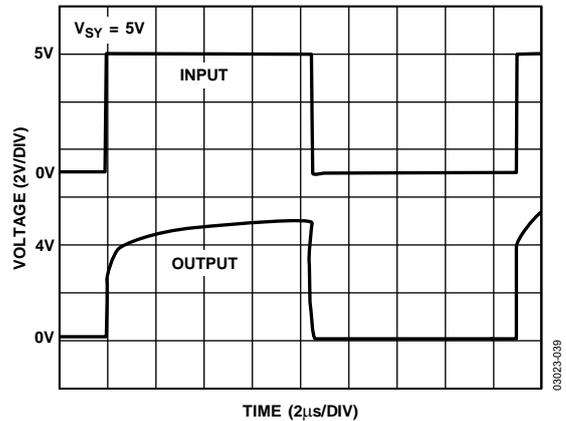


図40.0Vから5Vへのステップ入力に対する電圧フォロア(ゲイン=1)の応答

正電源ピンと入力ピンの間の合計電圧が 26 V未満である限り、AD862xは V_{SY} より 15 V低い入力電圧まで安全に耐えることができます。図 41～図 43に、負側電源レール電圧に近い信号を受け付けるさまざまな構成でのAD862xを示します。アンプ入力ステージは、一般に、この入力電圧範囲内でピコ・アンペア・レベルの入力電流を維持します。

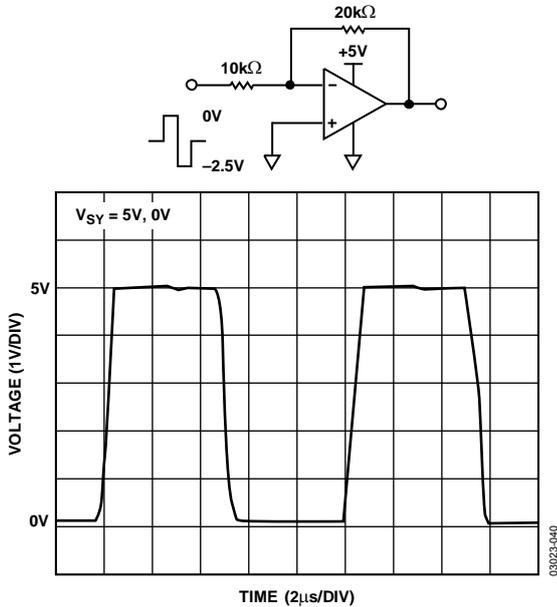


図41.2.5 Vのステップ入力に対するインバータ(ゲイン=2)の応答
動作中心=グラウンド-1.25 V

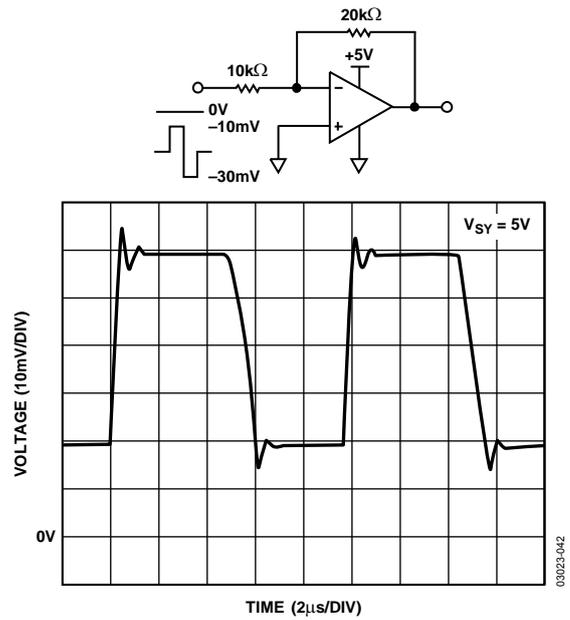


図43.20 mVのステップ入力に対するインバータ(ゲイン=2)の応答、
動作中心=グラウンド-20 mV

AD862xは 16 nV/√Hz の広帯域入力電圧ノイズ 向けにデザインされているため、低周波まで低ノイズ性能を維持します(図 35)。このノイズ性能とAD862xの低入力電流および低電流ノイズとの組み合わせにより、大きなソース抵抗を持つアプリケーションに対してAD862xのノイズは無視できるほど小さいものになっています。

AD862xは、最大 2 mAの出力電流で電源レール電圧の内側 5 mVまでの振幅を許容するバイポーラ・レールtoレールの独自の出力ステージを持っています。図 17と 図 18に示すように、大きな負荷でドロップアウト 電圧が増加します。AD862xは広い帯域幅 と高速なスルー・レートを持つため、旧型の単電源 JFETより高速な信号に使用することができます。図 44 に、ゲイン= 1、50 kHzで $V_{IN} = 20\text{ V p-p}$ の場合に対するAD862xの応答を示します。デバイスのフル・パワー帯域幅 (FPBW) は約 100 kHzです。

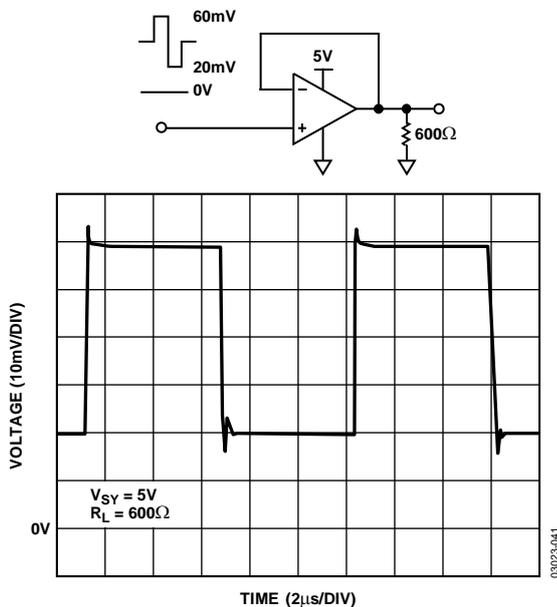


図42.40 mVのステップ入力に対する電圧フォロア(ゲイン=1)の応答、
動作中心=グラウンド+40 mV

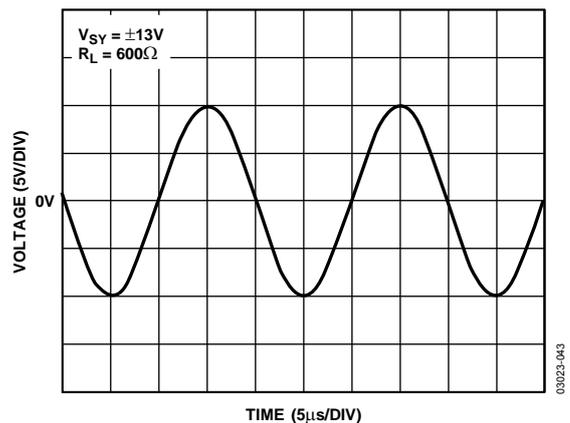


図44.20 V、50 kHz 入力信号に対する電圧フォロア(ゲイン=1)の応答

AD862xは、室温で±13 Vの電源電圧に対して最大 1 pAの入力電流を保証しています。アンプの使い方に十分な注意を払うと、この性能を維持しさらに良くすることもできます。アンプの動作温度はできるだけ低く維持する必要があります。他のJFET 入力アンプと同様に、AD862xの入力電流はジャンクション温度が 10°C上昇するごとに 2 倍になります(図 8)。チップの消費電力により、デバイスの動作温度が上がるため、入力電流が増えます。消費電力を削減するために電源電圧を下げると、AD862xの入力電流も小さくなります。出力負荷を大きくした場合も、チップ温度が上昇します。負荷抵抗を 1 kΩ程度に小さくすることが推奨されます。

AD862x は、PC ボードに実装するようにデザインされています。これらの環境でピコ・アンペアの分解能を維持するためには十分な注意が必要です。ボードとアンプのパッケージは有限な抵抗を持っています。十分な注意を払わないと、入力ピン、その他のピン、PC ボード上の金属パターンとの間の電位差により、AD862xの入力電流より大きい寄生電流が発生する可能性があります。最適な結果を得るための正しいボード・レイアウトについては、ADI のウェブ・サイトにある該当するレイアウト・セミナー資料を参照してください。寄生リーク電流を小さくする一般的な 2 つの方法は、入力ラインを保護して、十分な絶縁抵抗を維持することです。

ハンダ・フラックスなどの汚染物質がボード表面やアンプ・パッケージ上に存在すると、入力ピンと、電源電圧や信号電圧のパターンとの間の絶縁抵抗が著しく低下します。パッケージとボードは清潔かつ乾燥した状態に維持する必要があります。

フォトダイオード・プリアンプ・アプリケーション

AD862xは、低入力電流レベル、低オフセット電圧レベル、低電圧ノイズを持っているため、敏感なフォトダイオード・アプリケーションでのプリアンプとして最適です。図 45に示す代表的な光電圧プリアンプ回路では、アンプの出力は次式で与えられます。

$$V_{OUT} = -ID(R_f) = -R_p(P)R_f$$

ここで、

ID = フォトダイオード信号電流 (A)。

R_p = フォトダイオード感度 (A/W)。

R_f = 帰還抵抗値(Ω)。

P = フォトダイオード表面に入射する光パワー(W)。

入力電流の最小化

アンプの入力電流 I_B は、帰還抵抗値に比例する出力電圧誤差を発生させます。オフセット電圧誤差 V_{OS} は、フォトダイオードの有限なシャント抵抗 R_D に起因する小さい電流誤差を発生させます。

この出力電圧誤差 V_E は次式で与えられます。

$$V_E = \left(1 + \frac{R_f}{R_D}\right) V_{OS} + R_f(I_B)$$

100 MΩオーダーのシャント抵抗は、小型のフォトダイオードでは一般的です。抵抗 R_D はジャンクション抵抗であり、一般に温度が 10°C上昇する毎に 1/2 に減少します。AD862xでは、オフセット電圧とドリフトが小さいので、これらの誤差を小さくすることに役立ちます。 $I_B = 1$ pA、かつ $V_{OS} = 50$ mV の場合、図 45での V_E は非常に小さく無視できます。また、図 45の回路では、30 kHzの信号帯域幅に対して SNR = 95 dBになります。

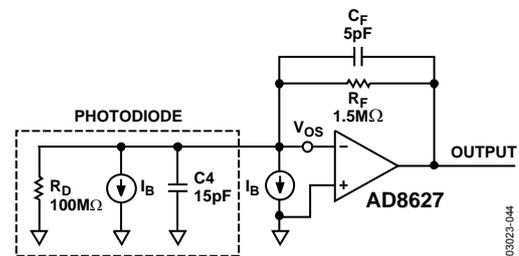


図45.DC 誤差を表すフォトダイオード・モデル

DAC出力アンプ

多くのシステムでは、アンプ出力のバッファとしてアンプを使って DAC 出力の駆動能力を大きくしています。高分解能電流出力 DAC は、電流から電圧へのコンバータ(I/V)として出力に高精度アンプを必要とします。さらに、多くの DAC は 5 V 単電源で動作します。単電源アプリケーションでは通常、アンプの出力振幅に負側電源レール電圧(この場合は AGND)が含まれないので、最適なオペアンプの選択は困難になります。アプリケーションでゼロ付近のコードを使わない限り、DAC の仕様性能低下が避けられません。選択するオペアンプは、出力オフセットのトリムを不要にするため非常に小さいオフセット電圧を持つ必要があります(5 V のリファレンス電圧で動作する場合、14 ビット DAC の LSB は 300 μV になります)。また、バイアス電流と DAC 出力インピーダンス(場合によっては約 10 k Ω)の積がゼロ・コード誤差に加算されるため、入力バイアス電流も非常に小さい必要があります。レール to レールの入出力性能が要求されます。高速なセトリングを得るためには、オペアンプのスルーレートが DAC のセトリング・タイムを損なわないようにする必要があります。DAC の出力インピーダンスは一定で、コードに依存しませんが、ゲイン誤差を小さくするために、出力アンプの入力インピーダンスはできるだけ大きくする必要があります。非常に高い入力インピーダンス、 $I_b = 1 \text{ pA}$ 、かつ高速なスルーレートを持つ AD862x は、これらのタイプのアプリケーションに対して最適なアンプです。一般的な DAC を使用する代表的な構成を図 46 に示します。これらの構成では、アンプはシステムに時定数を追加するため、出力のセトリング・タイムが増加します。5 MHz の BW を持つ AD862x は、DAC とアンプを組み合わせた実効セトリング・タイムを短くすることに役立ちます。

4 象限乗算機能またはバイポーラ出力振幅を必要とするアプリケーションでは 図 47 に示す回路を使うことができます。この回路で、1 つ目と 2 つ目のアンプは合計 2 のゲインを提供し、これにより出力電圧スパンが 20 V に拡大されます。外付けアンプにリファレンス電圧から 10 V のオフセットを与えると、4 象限乗算回路が得られます。

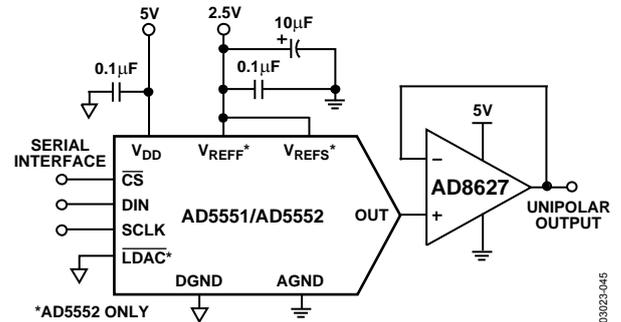


図46.ユニポーラ出力

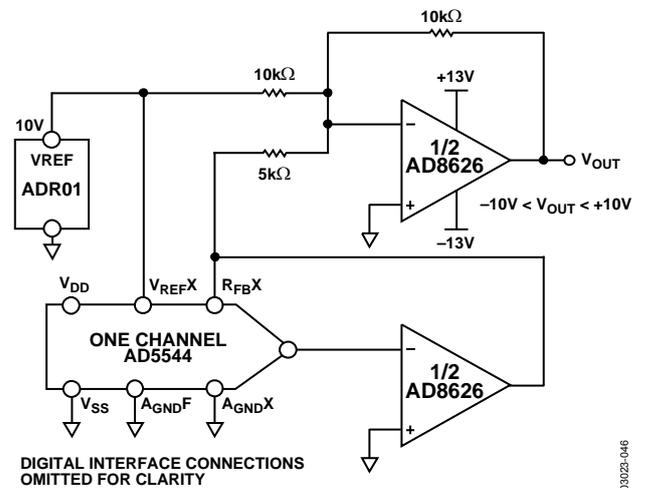


図47.4 象限乗算アプリケーション回路

8極のSallen Keyローパス・フィルタ

AD862xは高い入力インピーダンスと高精度のDC性能を持つため、アクティブ・フィルタ向けに最適な選択です。AD862xのバイアス電流は非常に小さいため、大きい値の抵抗を使って低周波フィルタを構成することができます。AD862xのピコ・アンペア・レベルの入力電流は、DC誤差を殆ど発生させません。図49に、AD862xを使って構成した10 Hz 8極 Sallen Key フィルタの例を示します。必要とされる応答に応じて、使用するAD862xの個数を変えることができます(図48)。R1に大きな値を使うと、信号ソース抵抗との干渉を小さくすることができます。フィルタのこのバージョンの極の配置では、フィルタの低周波側の極の部分に対応するQを小さくすることができます。このために、前段部分における抵抗に起因するノイズ成分が大きくなることを回避し、フィルタに固有な出力電圧ノイズを小さくすることができます。

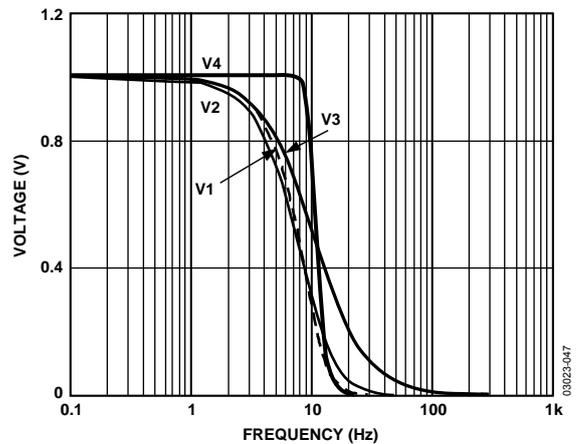


図48. ローパス・フィルタのさまざまなステージでの周波数応答出力

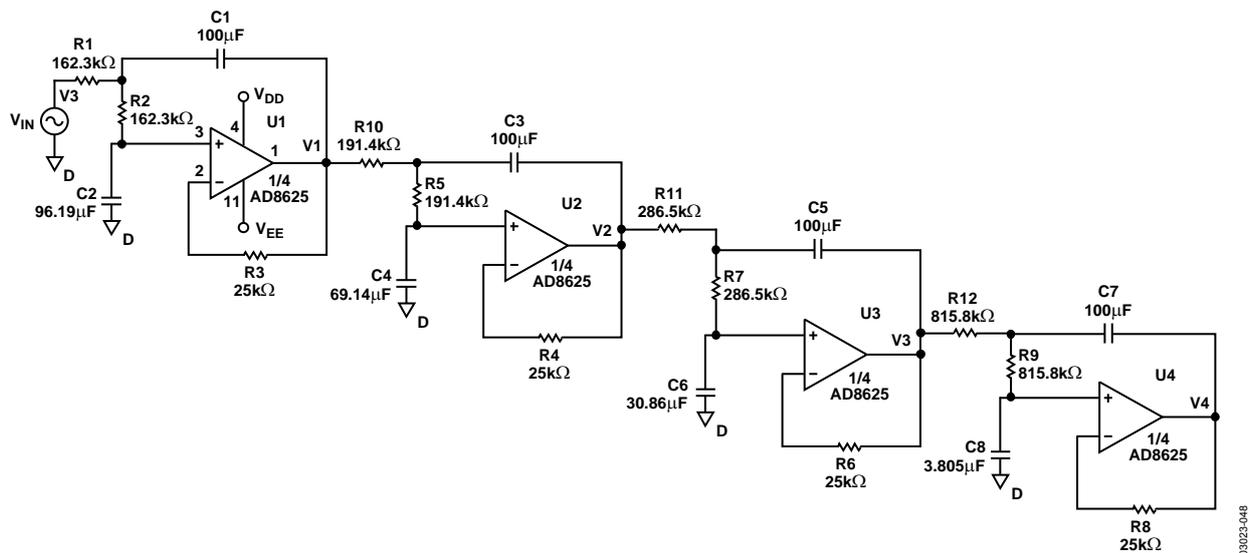


図49. 10 Hz、8極 Sallen Key ローパス・フィルタ

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8627AKSZ-REEL ^{1,2}	-40°C to +85°C	5-Lead SC70	KS-5	B9B
AD8627AKSZ-REEL7 ^{1,2}	-40°C to +85°C	5-Lead SC70	KS-5	B9B
AD8627AKSZ-R2 ^{1,2}	-40°C to +85°C	5-Lead SC70	KS-5	B9B
AD8627ARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8627ARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8627ARZ-REEL7 ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8626ARM-REEL	-40°C to +85°C	8-Lead MSOP	RM-8	BJA
AD8626ARMZ-REEL ¹	-40°C to +85°C	8-Lead MSOP	RM-8	BJA
AD8626ARMZ ¹	-40°C to +85°C	8-Lead MSOP	RM-8	BJA
AD8626AR	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8626AR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8626AR-REEL7	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8626ARZ ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8626ARZ-REEL ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8626ARZ-REEL7 ¹	-40°C to +85°C	8-Lead SOIC_N	R-8	
AD8625ARUZ ¹	-40°C to +85°C	14-Lead TSSOP	RU-14	
AD8625ARUZ-REEL ¹	-40°C to +85°C	14-Lead TSSOP	RU-14	
AD8625AR	-40°C to +85°C	14-Lead SOIC_N	R-14	
AD8625AR-REEL	-40°C to +85°C	14-Lead SOIC_N	R-14	
AD8625AR-REEL7	-40°C to +85°C	14-Lead SOIC_N	R-14	
AD8625ARZ ¹	-40°C to +85°C	14-Lead SOIC_N	R-14	
AD8625ARZ-REEL ¹	-40°C to +85°C	14-Lead SOIC_N	R-14	
AD8625ARZ-REEL7 ¹	-40°C to +85°C	14-Lead SOIC_N	R-14	

¹ Z = RoHS 準拠品。#は上部または下部にマーキング表示。² Pre-0542 製品は、#なしの B9A で表示。