

### 特長

完全差動

低ノイズ

2.25nV/√Hz

2.1pA/√Hz

低高調波歪み

SFDR: 98dBc@1MHz

SFDR: 85dBc@5MHz

SFDR: 72dBc@20MHz

高速性能

3dB帯域幅: 410MHz@ゲイン=1

スルーレート: 800V/μs

セトリング時間: 45ns (0.01%に対して)

出力平衡: 69dB@1MHz

DC CMRR: 80dB

低入力オフセット電圧: ±0.5mV (max)

低入力オフセット電流: 0.5μA (max)

差動入出力

差動/差動またはシングルエンド/差動変換動作

レールtoレール出力

調整可能な出力同相電圧

広い電源電圧範囲: 5~12V

小型サイズのSOICパッケージ

### アプリケーション

18ビットまでのADCドライバ

シングルエンド/差動変換器

差動フィルタ

レベル・シフタ

差動PCボード・ドライバ

差動ケーブル・ドライバ

### 機能ブロック図

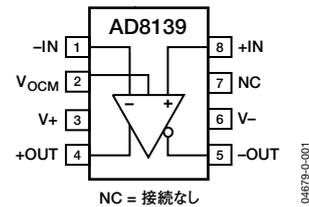


図1

### 概要

AD8139は、レールtoレール出力を備えた超低ノイズ、高性能の差動アンプです。低いノイズ、高いSFDR、広い帯域幅によって、分解能が18ビットまでのA/Dコンバータ (ADC) の駆動用に最適です。AD8139は簡単に利用でき、しかも内部に同相帰還アーキテクチャを採用しているため、1本のピンに印加する電圧で出力同相電圧を制御できます。さらに、内部帰還ループによって、非常に優れた出力平衡を維持するとともに、偶数次の高調波歪み成分も抑えます。AD8139では、完全差動およびシングルエンド/差動変換のゲイン設定が簡単にできます。合計4つの抵抗で構成されるシンプルな外部帰還ネットワークによって、アンプのクローズド・ループ・ゲインを決定します。

AD8139は、アナログ・デバイセズ独自の第2世代XFCBプロセスで製造されており、わずか2.25nV/√Hzの低入力電圧ノイズで、低歪みを可能にします。

AD8139は、ボディの下側に露出パドル (EP) がある8ピンSOICパッケージで提供しています。-40~+125°Cの拡張工業用温度範囲で定格性能が規定されています。

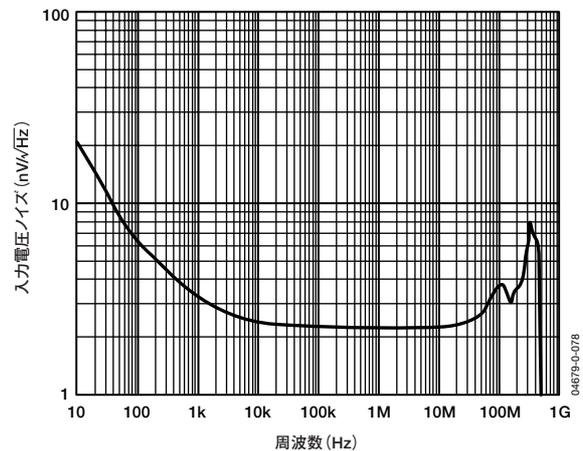


図2. 電圧ノイズの周波数特性

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2004 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03(5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06(6350) 6868

# AD8139

## 目次

$V_S = \pm 5V$ 、 $V_{OCM} = 0V$ 仕様	3	代表的な接続と用語の定義	18
$V_S = 5V$ 、 $V_{OCM} = 2.5V$ 仕様	5	アプリケーション	19
絶対最大定格	7	マッチングされた帰還ネットワークによる	
熱抵抗値	7	ノイズ、ゲイン、帯域幅の概算	19
ESDに関する注意	7	外形寸法	24
ピン配置とピン機能の説明	8	オーダー・ガイド	24
代表的な性能特性	9		
動作理論	18		

## REVISION HISTORY

### 8/04—Data Sheet Changed from a Rev. 0 to Rev. A.

Added 8-Lead LFCSP	Universal
Changes to General Description	1
Changes to Figure 2	1
Changes to $V_S = \pm 5V$ 、 $V_{OCM} = 0V$ Specifications	3
Changes to $V_S = 5V$ 、 $V_{OCM} = 2.5V$ Specifications	5
Changes to Table 4	7
Changes to Maximum Power Dissipation Section	7
Changes to Figure 26 and Figure 29	12
Inserted Figure 39 and Figure 42	14
Changes to Figure 45 to Figure 47	15
Inserted Figure 48	15
Changes to Figure 52 and Figure 53	16
Changes to Figure 55 and Figure 56	17
Changes to Table 6	19
Changes to Voltage Gain Section	19
Changes to Driving a Capacitive Load Section	22
Changes to Ordering Guide	24
Updated Outline Dimensions	24

### 5/04—Revision 0: Initial Version

## $V_S = \pm 5V$ 、 $V_{OCM} = 0V$ 仕様

特に指定のない限り、 $25^\circ C$ 、差動ゲイン=1、 $R_{L, dm} = 1k\Omega$ 、 $R_F = R_G = 200\Omega$ 。  $T_{MIN} \sim T_{MAX} = -40 \sim +125^\circ C$ 。

表1

パラメータ	条件	Min	Typ	Max	単位
<b>差動入力性能</b>					
<b>動的性能</b>					
−3dB小信号帯域幅	$V_{O, dm} = 0.1V$ p-p	340	410		MHz
−3dB大信号帯域幅	$V_{O, dm} = 2V$ p-p	210	240		MHz
0.1dB平坦性を維持する帯域幅	$V_{O, dm} = 0.1V$ p-p		45		MHz
スルーレート	$V_{O, dm} = 2V$ ステップ		800		V/ $\mu s$
セトリング時間 (0.01%に対して)	$V_{O, dm} = 2V$ ステップ、 $C_F = 2pF$		45		ns
オーバードライブ復帰時間	$G = 2$ 、 $V_{IN, dm} = 12V$ p-p三角波		30		ns
<b>ノイズ/高調波性能</b>					
SFDR	$V_{O, dm} = 2V$ p-p、 $f_C = 1MHz$		98		dB
	$V_{O, dm} = 2V$ p-p、 $f_C = 5MHz$		85		dB
	$V_{O, dm} = 2V$ p-p、 $f_C = 20MHz$		72		dB
3次IMD	$V_{O, dm} = 2V$ p-p、 $f_C = 10.05MHz \pm 0.05MHz$		−90		dBc
入力電圧ノイズ	$f = 100kHz$		2.25		nV/ $\sqrt{Hz}$
入力電流ノイズ	$f = 100kHz$		2.1		pA/ $\sqrt{Hz}$
<b>DC性能</b>					
入力オフセット電圧	$V_{IP} = V_{IN} = V_{OCM} = 0V$	−500	$\pm 150$	+500	$\mu V$
入力オフセット電圧ドリフト	$T_{MIN} \sim T_{MAX}$		1.25		$\mu V/^\circ C$
入力バイアス電流	$T_{MIN} \sim T_{MAX}$		2.25	8.0	$\mu A$
入力オフセット電流			0.12	0.5	$\mu A$
オープン・ループ・ゲイン			114		dB
<b>入力特性</b>					
入力同相電圧範囲		−4		+4	V
入力抵抗値	差動		600		k $\Omega$
	同相		1.5		M $\Omega$
入力容量	同相		1.2		pF
CMRR	$\Delta V_{ICM} = \pm 1V$ DC、 $R_F = R_G = 10k\Omega$	80	84		dB
<b>出力特性</b>					
出力電圧振幅	各シングルエンド出力、 $R_F = R_G = 10k\Omega$	− $V_S + 0.20$		+ $V_S - 0.20$	V
	各シングルエンド出力、 $R_{L, dm} =$ オープン回路、 $R_F = R_G = 10k\Omega$	− $V_S + 0.15$		+ $V_S - 0.15$	V
出力電流	各シングルエンド出力		100		mA
出力平衡誤差	$f = 1MHz$		−69		dB
<b><math>V_{OCM} \sim V_{O, cm}</math>の電圧性能</b>					
<b><math>V_{OCM}</math>の動的性能</b>					
−3dB帯域幅	$V_{O, cm} = 0.1V$ p-p		515		MHz
スルーレート	$V_{O, cm} = 2V$ p-p		250		V/ $\mu s$
ゲイン		0.999	1.000	1.001	V/V
<b><math>V_{OCM}</math>の入力特性</b>					
入力電圧範囲		−3.8		+3.8	V
入力抵抗値			3.5		M $\Omega$
入力オフセット電圧	$V_{OS, cm} = V_{O, cm} - V_{OCM}$ 、 $V_{IP} = V_{IN} = V_{OCM} = 0V$	−900	$\pm 300$	+900	$\mu V$
入力電圧ノイズ	$f = 100kHz$		3.5		nV/ $\sqrt{Hz}$
入力バイアス電流			1.3	4.5	$\mu A$
CMRR	$\Delta V_{OCM} / \Delta V_{O, dm}$ 、 $\Delta V_{OCM} = \pm 1V$	74	88		dB

# AD8139

パラメータ	条件	Min	Typ	Max	単位
電源					
動作電圧範囲		4.5		±6	V
無負荷時電源電流			24.5	25.5	mA
+PSRR	+V <sub>S</sub> の変動=±1V	95	112		dB
-PSRR	-V <sub>S</sub> の変動=±1V	95	109		dB
動作温度範囲		-40		+125	℃

## $V_S=5V$ 、 $V_{OCM}=2.5V$ 仕様

特に指定のない限り、 $25^\circ\text{C}$ 、差動ゲイン=1、 $R_{L, dm}=1k\Omega$ 、 $R_F=R_G=200\Omega$ 。  $T_{MIN}\sim T_{MAX}=-40\sim+125^\circ\text{C}$ 。

表2

パラメータ	条件	Min	Typ	Max	単位
<b>差動入力性能</b>					
<b>動的性能</b>					
–3dB小信号帯域幅	$V_{O, dm}=0.1V$ p-p	330	385		MHz
–3dB大信号帯域幅	$V_{O, dm}=2V$ p-p	135	165		MHz
0.1dB平坦性を維持する帯域幅	$V_{O, dm}=0.1V$ p-p		34		MHz
スルーレート	$V_{O, dm}=2V$ ステップ		540		V/ $\mu\text{s}$
セトリング時間 (0.01%に対して)	$V_{O, dm}=2V$ ステップ		55		ns
オーバードライブ復帰時間	$G=2$ 、 $V_{IN, dm}=7V$ p-p三角波		35		ns
<b>ノイズ/高調波性能</b>					
SFDR	$V_{O, dm}=2V$ p-p、 $f_C=1\text{MHz}$		99		dB
	$V_{O, dm}=2V$ p-p、 $f_C=5\text{MHz}$ 、( $R_L=800\Omega$ )		87		dB
	$V_{O, dm}=2V$ p-p、 $f_C=20\text{MHz}$ 、( $R_L=800\Omega$ )		75		dB
3次IMD	$V_{O, dm}=2V$ p-p、 $f_C=10.05\text{MHz}\pm 0.05\text{MHz}$		–87		dBc
入力電圧ノイズ	$f=100\text{kHz}$		2.25		nV/ $\sqrt{\text{Hz}}$
入力電流ノイズ	$f=100\text{kHz}$		2.1		pA/ $\sqrt{\text{Hz}}$
<b>DC性能</b>					
入力オフセット電圧	$V_{IP}=V_{IN}=V_{OCM}=0V$	–500	$\pm 150$	+500	$\mu\text{V}$
入力オフセット電圧ドリフト	$T_{MIN}\sim T_{MAX}$		1.25		$\mu\text{V}/^\circ\text{C}$
入力バイアス電流	$T_{MIN}\sim T_{MAX}$		2.2	7.5	$\mu\text{A}$
入力オフセット電流			0.13	0.5	$\mu\text{A}$
オープン・ループ・ゲイン			112		dB
<b>入力特性</b>					
入力同相電圧範囲		1		4	V
入力抵抗値	差動		600		k $\Omega$
	同相		1.5		M $\Omega$
入力容量	同相		1.2		pF
CMRR	$\Delta V_{ICM}=\pm 1V$ DC、 $R_F=R_G=10k\Omega$	75	79		dB
<b>出力特性</b>					
出力電圧振幅	各シングルエンド出力、 $R_F=R_G=10k\Omega$	– $V_S+0.15$		+ $V_S-0.15$	V
	各シングルエンド出力、 $R_{L, dm}=\text{オープン回路}$ 、 $R_F=R_G=10k\Omega$	– $V_S+0.10$		+ $V_S-0.10$	V
出力電流	各シングルエンド出力		80		mA
出力平衡誤差	$f=1\text{MHz}$		–70		dB
<b><math>V_{OCM}\sim V_{O, cm}</math>の電圧性能</b>					
<b><math>V_{OCM}</math>の動的性能</b>					
–3dB帯域幅	$V_{O, cm}=0.1V$ p-p		440		MHz
スルーレート	$V_{O, cm}=2V$ p-p		150		V/ $\mu\text{s}$
ゲイン		0.999	1.000	1.001	V/V
<b><math>V_{OCM}</math>の入力特性</b>					
入力電圧範囲		1.0		3.8	V
入力抵抗値			3.5		M $\Omega$
入力オフセット電圧	$V_{OS, cm}=V_{O, cm}-V_{OCM}$ 、 $V_{IP}=V_{IN}=V_{OCM}=2.5V$	–1.0	$\pm 0.45$	+1.0	mV
入力電圧ノイズ	$f=100\text{kHz}$		3.5		nV/ $\sqrt{\text{Hz}}$
入力バイアス電流			1.3	4.2	$\mu\text{A}$
CMRR	$\Delta V_{OCM}/\Delta V_{O(dm)}$ 、 $\Delta V_{OCM}=\pm 1V$	67	79		dB

# AD8139

パラメータ	条件	Min	Typ	Max	単位
電源					
動作電圧範囲		+4.5		±6	V
無負荷時電源電流			21.5	22.5	mA
+PSRR	+V <sub>S</sub> の変動=±1V	86	97		dB
-PSRR	-V <sub>S</sub> の変動=±1V	92	105		dB
動作温度範囲		-40		+125	℃

## 絶対最大定格

表3

パラメータ	定格値
電源電圧 $V_{OCM}$	12V $\pm V_S$
消費電力	図3を参照
入力同相電圧	$\pm V_S$
保存温度	-65~+125°C
動作温度範囲	-40~+125°C
リード温度範囲 (ハンダ付け、10秒)	300°C
ジャンクション温度	150°C

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### 熱抵抗値

$\theta_{JA}$ は、最悪時の条件、すなわち回路基板に表面実装パッケージをハンダ付けした状態で規定しています。

表4. 熱抵抗値

パッケージのタイプ	$\theta_{JA}$	単位
EP/4層付きの8ピンSOIC	70	°C/W
LFCSP/4層	70	°C/W

### 最大消費電力

AD8139のパッケージの最大安全消費電力は、ダイ上のジャンクション温度 ( $T_J$ ) が電力に伴って上昇することによって制限されます。ガラス遷移温度である約150°Cで、プラスチックの特性が変化します。この温度限界値を一時的に超過しても、パッケージがダイに加える応力が変化し、AD8139のパラメータ性能が恒久的に変化します。長時間にわたりジャンクション温度が175°Cを超えると、シリコン・デバイスの特性が変化し、動作不良が生じる可能性が高くなります。

### 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

パッケージ内部で消費される電力 ( $P_D$ ) は、すべての出力に対する負荷の駆動によってパッケージ内部で消費される電力と無負荷時の消費電力を加えた合計値です。無負荷時の電力は、電源ピン上の電圧 ( $V_S$ ) に無負荷時電源電流 ( $I_S$ ) を乗じた値の範囲内にあります。負荷電流は、負荷に流れる差動電流と同相電流、および外部の帰還ネットワークと内部の同相帰還ループを通過して流れる電流で構成されます。同相帰還ループに使用する内部抵抗タップにより、出力に1k $\Omega$ の差動負荷がかかります。AC信号を扱う場合は、RMS出力電圧に配慮する必要があります。

$\theta_{JA}$ は気流によって低下しますが、そのほかに金属製のパターン配線、スルーホール、グラウンド、電源プレーンがパッケージのピンに直接接触する割合が高くなることによって、 $\theta_{JA}$ が低下します。

図3に、周囲温度に対するパッケージの最大安全消費電力の特性を示します。これは、JEDEC規格に適合する4層の回路基板に露出パドル (EP) 付きの8ピンSOICパッケージ ( $\theta_{JA}=70^\circ\text{C/W}$ )、またはLFCSP ( $\theta_{JA}=70^\circ\text{C/W}$ ) を実装した場合で、 $\theta_{JA}$ は概算値です。

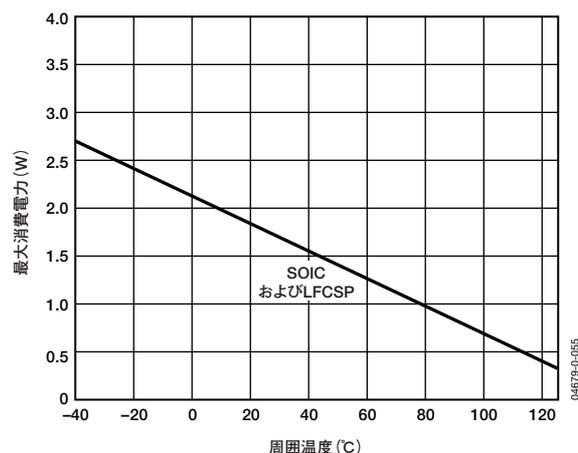


図3. 4層の回路基板を使用した場合の最大消費電力の温度特性



# AD8139

## ピン配置とピン機能の説明

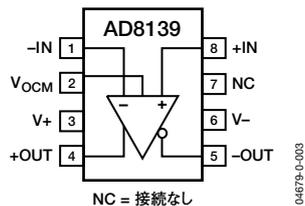


図4. ピン配置

表5. ピン機能の説明

ピン番号	名称	説明
1	-IN	反転入力
2	V <sub>OCM</sub>	アンプの動作の直線性が維持されていれば、内部帰還ループが出力同相電圧をV <sub>OCM</sub> ピンに印加される電圧に等しくなるように駆動します。
3	V+	正の電源電圧
4	+OUT	正側の差動出力
5	-OUT	負側の差動出力
6	V-	負の電源電圧
7	NC	内部接続はありません
8	+IN	非反転入力

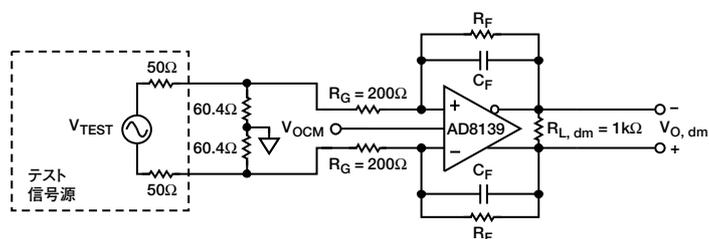


図5. 基本的なテスト回路

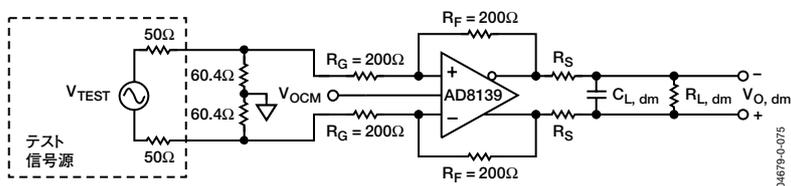


図6. 容量性負荷のテスト回路 (G=+1)

## 代表的な性能特性

特に指定のない限り、差動ゲイン=1、 $R_G=R_F=200$ 、 $R_{L, dm}=1k\Omega$ 、 $V_S=\pm 5V$ 、 $T_A=25^\circ C$ 、 $V_{OCM}=0V$ 。各パラメータについては、図5の「基本的なテスト回路」を参照してください。

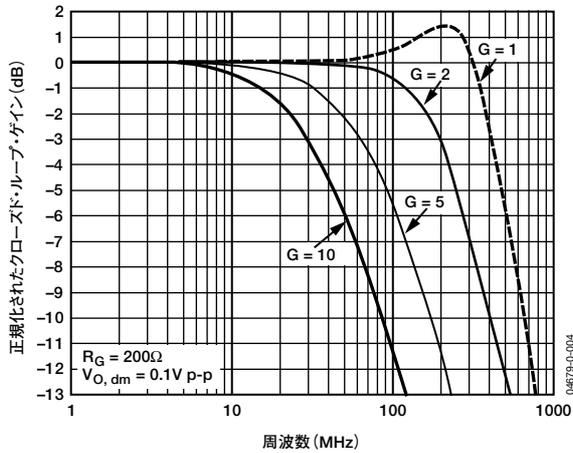


図7. さまざまなゲインでの小信号周波数応答性

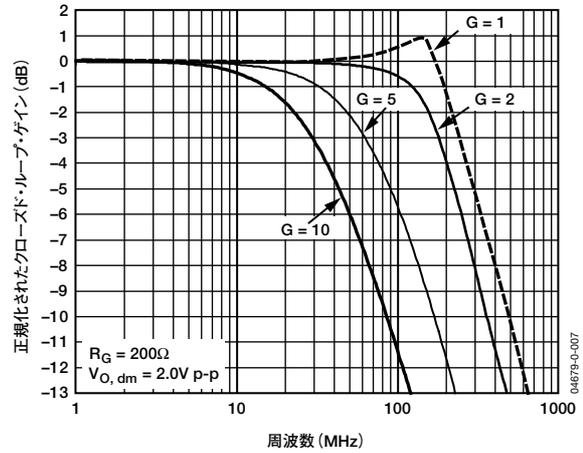


図10. さまざまなゲインでの大信号周波数応答性

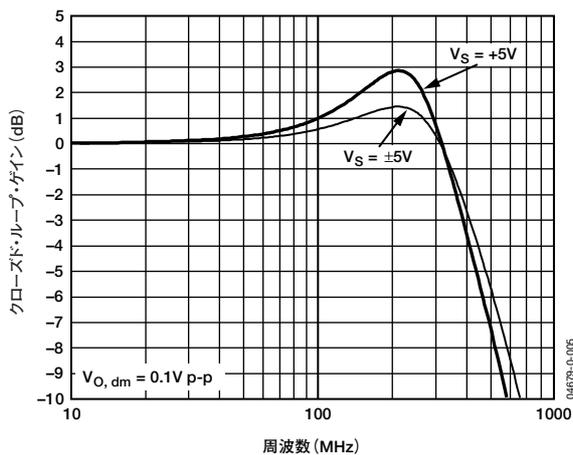


図8. さまざまな電源での小信号周波数応答性

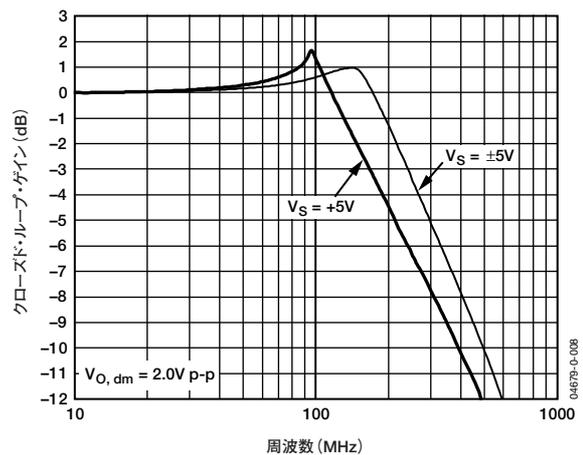


図11. さまざまな電源での大信号周波数応答性

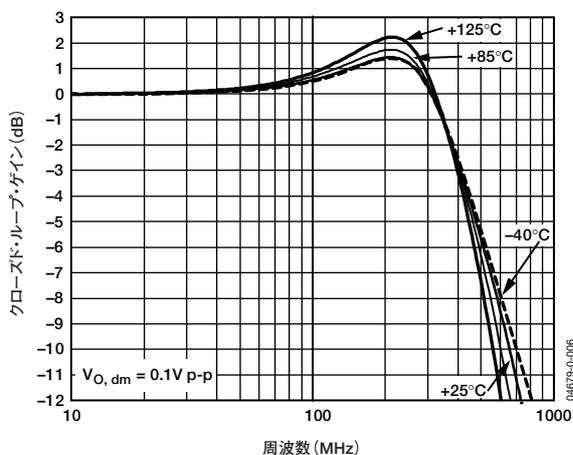


図9. さまざまな温度での小信号周波数応答性

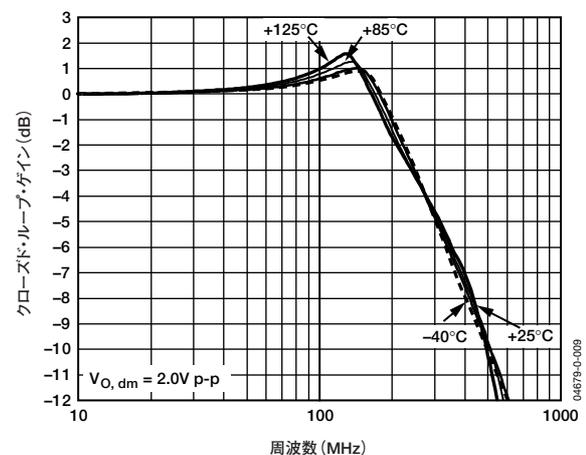


図12. さまざまな温度での大信号周波数応答性

# AD8139

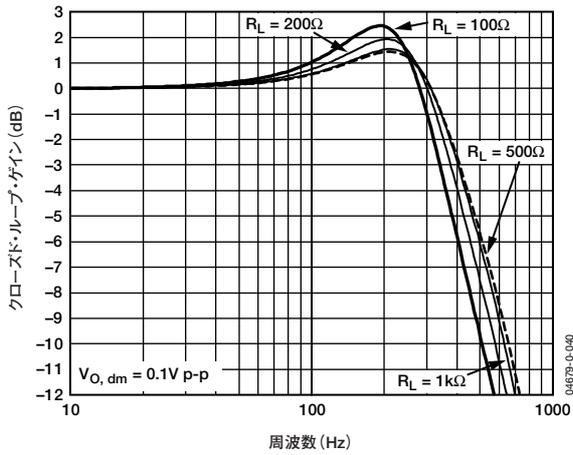


図13. さまざまな負荷での小信号周波数応答性

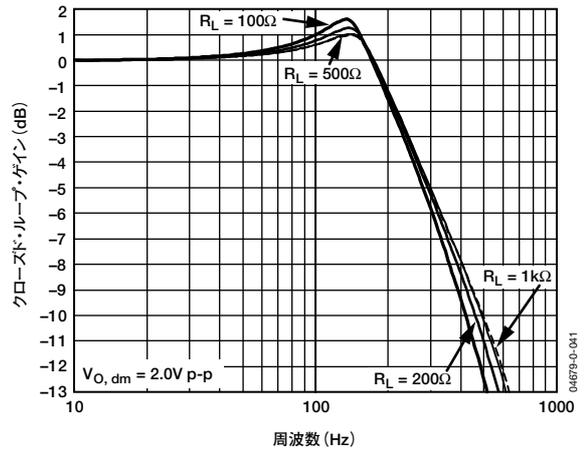


図16. さまざまな負荷での大信号周波数応答性

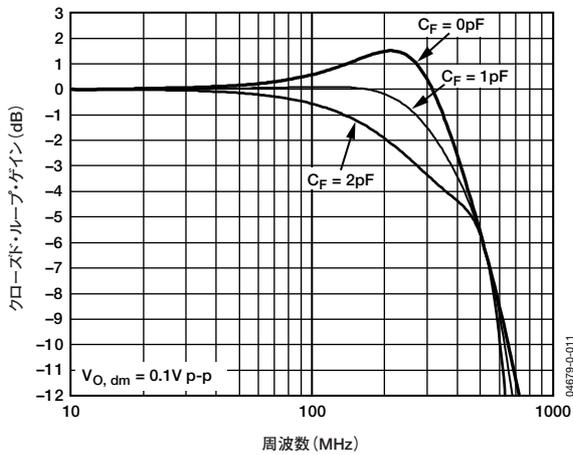


図14. さまざまなCFでの小信号周波数応答性

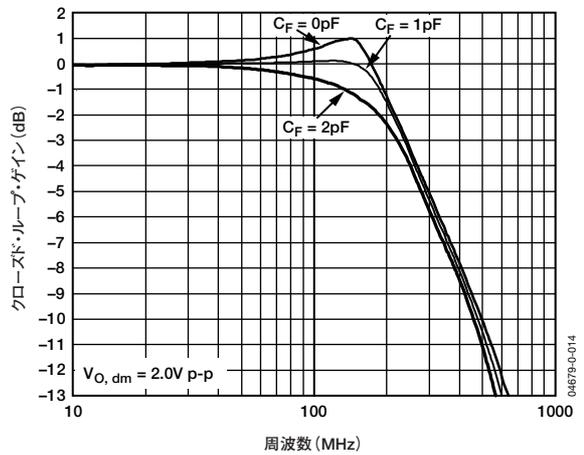


図17. さまざまなCFでの大信号周波数応答性

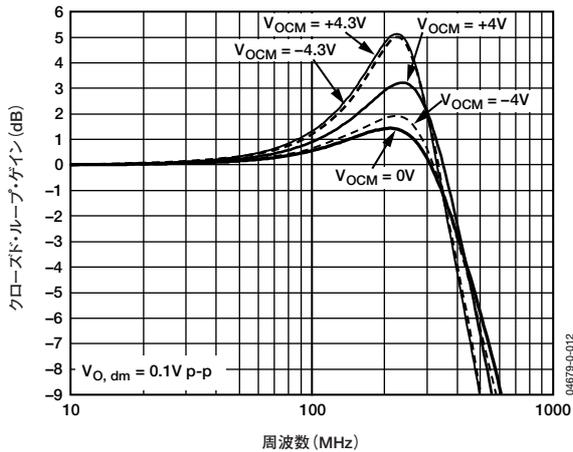


図15. さまざまなV<sub>OCM</sub>での小信号周波数応答性

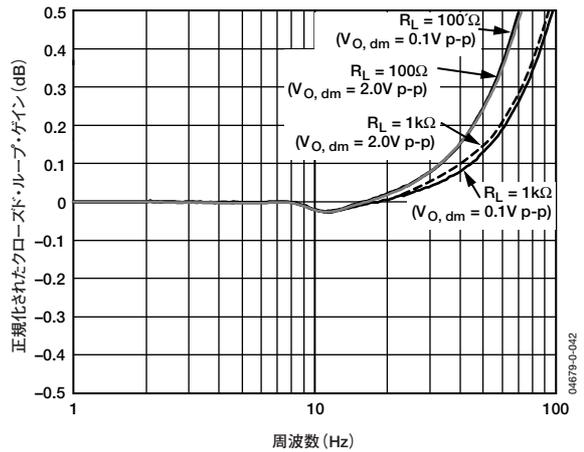


図18. さまざまな負荷および出力振幅に対する0.1dB平坦性

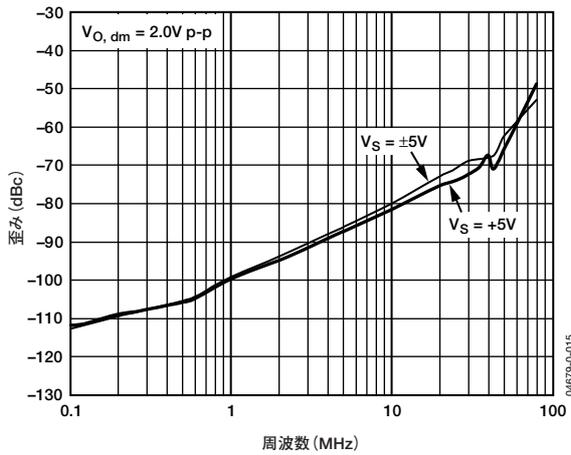


図19. 周波数および電源電圧 対 2次高調波歪み

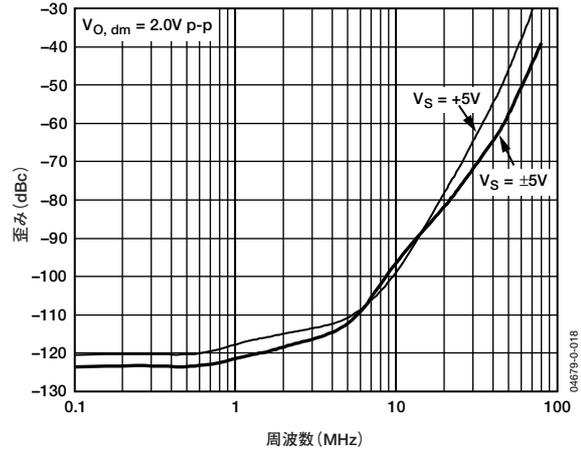


図22. 周波数および電源電圧 対 3次高調波歪み

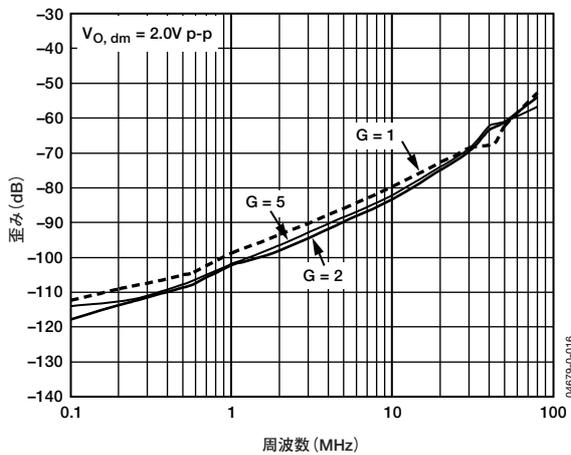


図20. 周波数およびゲイン 対 2次高調波歪み

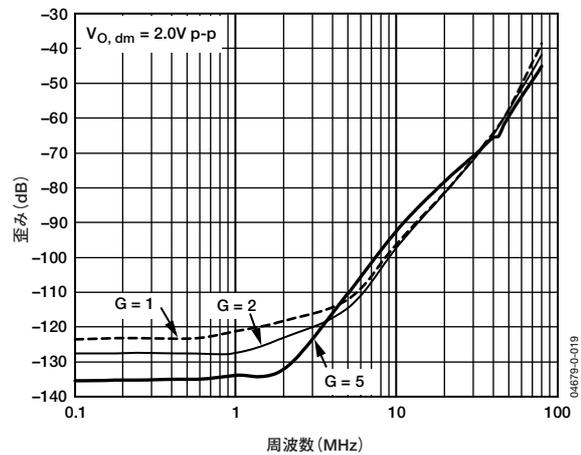


図23. 周波数およびゲイン 対 3次高調波歪み

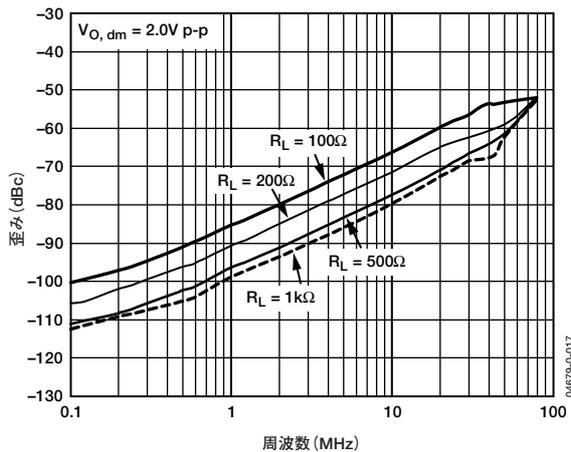


図21. 周波数および負荷 対 2次高調波歪み

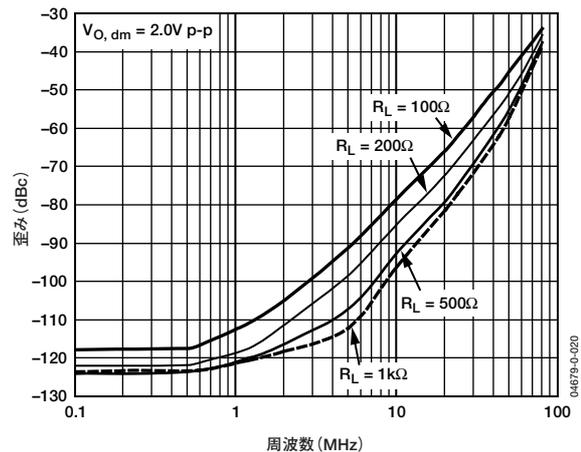


図24. 周波数および負荷 対 3次高調波歪み

# AD8139

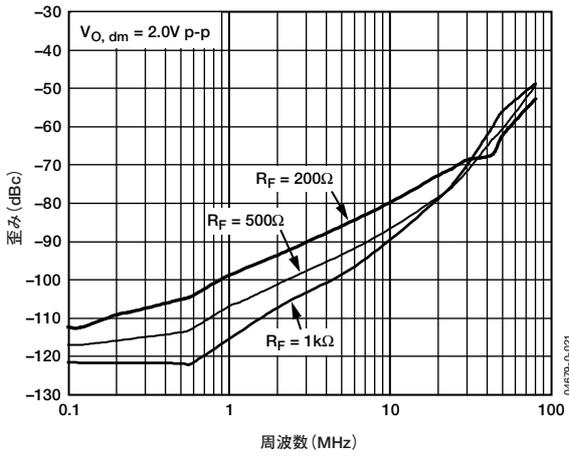


図25. 周波数および $R_F$  対 2次高調波歪み

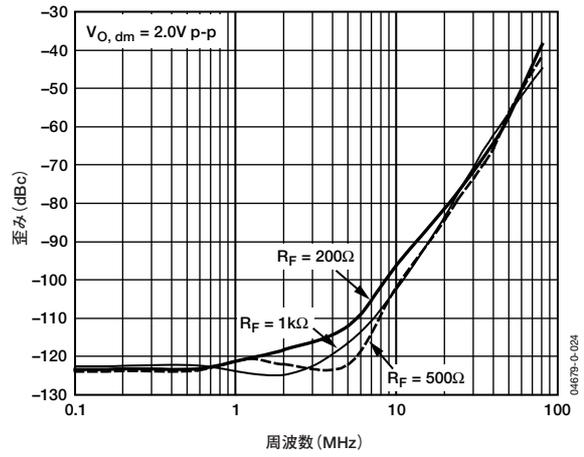


図28. 周波数および $R_F$  対 3次高調波歪み

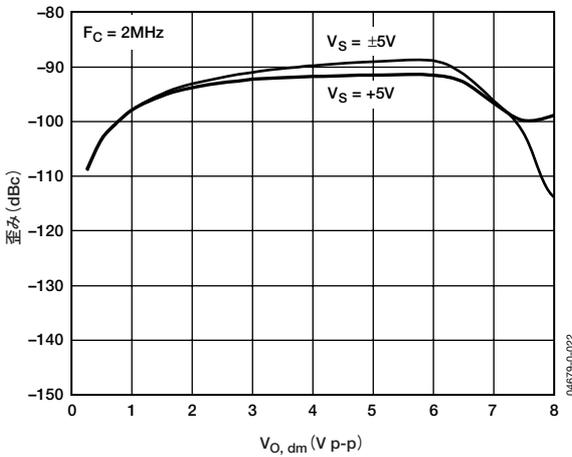


図26. 出力振幅 対 2次高調波歪み

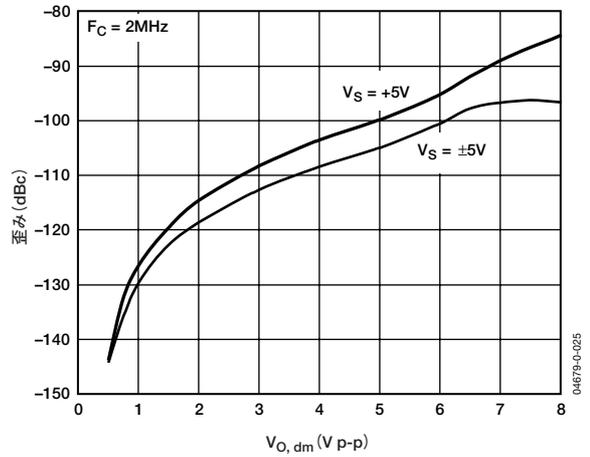


図29. 出力振幅 対 3次高調波歪み

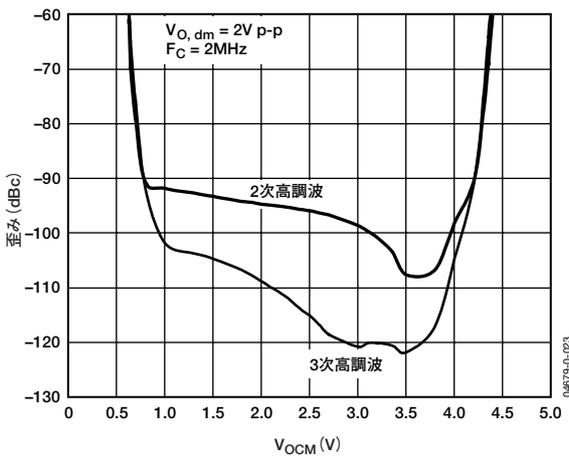


図27.  $V_{OCM}$  対 高調波歪み ( $V_S = +5V$ )

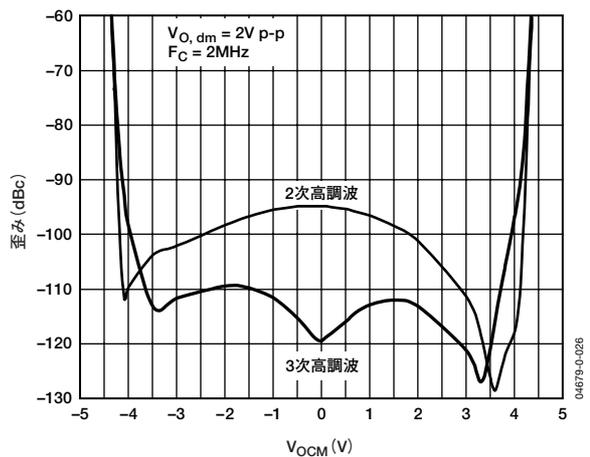


図30.  $V_{OCM}$  対 高調波歪み ( $V_S = \pm 5V$ )

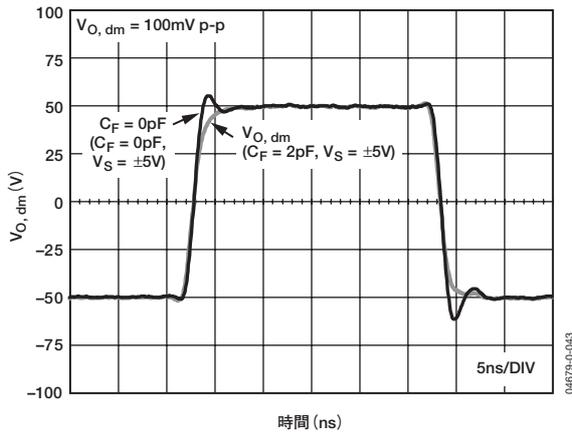


図31. さまざまな $C_F$ に対する小信号過渡応答性

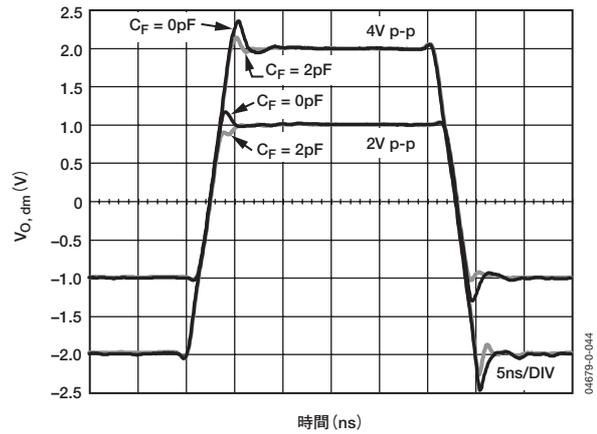


図34. さまざまな $C_F$ に対する大信号過渡応答性

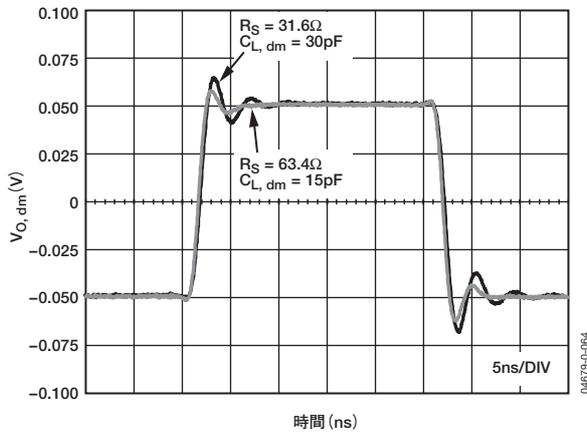


図32. さまざまな容量性負荷に対する小信号過渡応答性

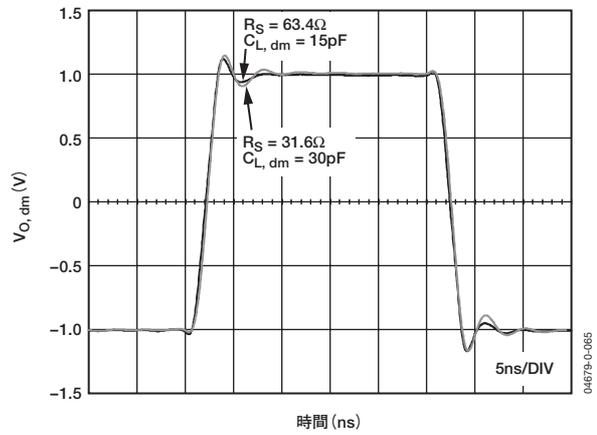


図35. さまざまな容量性負荷に対する大信号過渡応答性

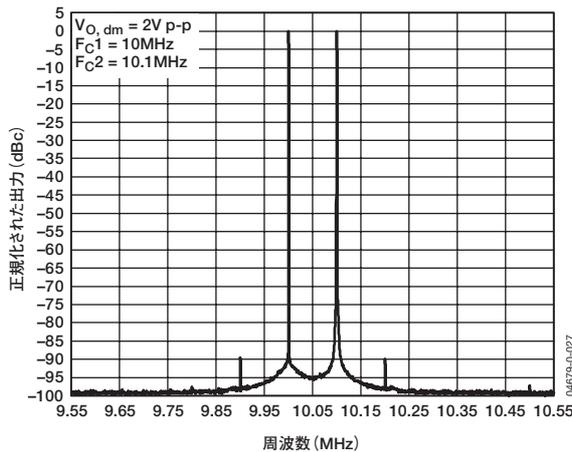


図33. 相互変調歪み

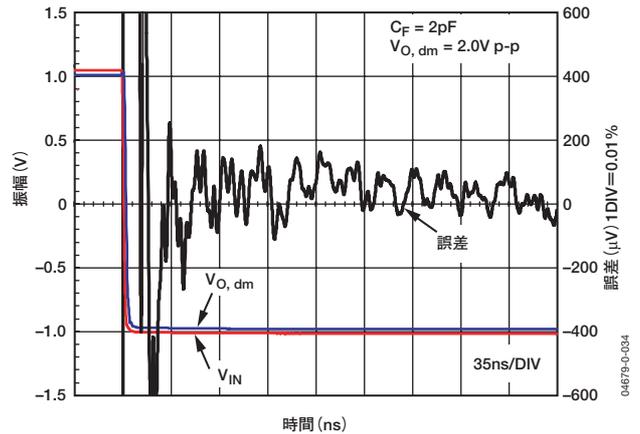


図36. セットリング時間 (0.01%)

# AD8139

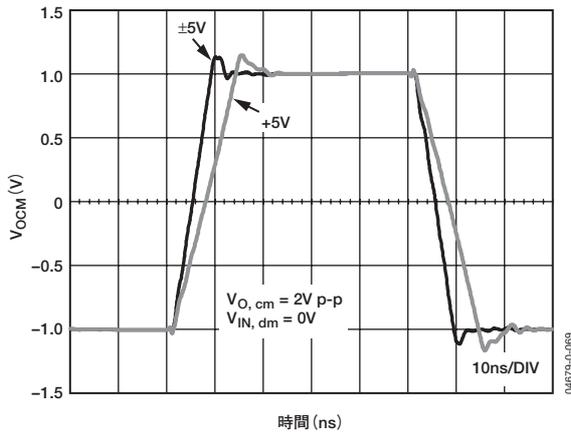


図37.  $V_{OCM}$ の大信号過渡応答性

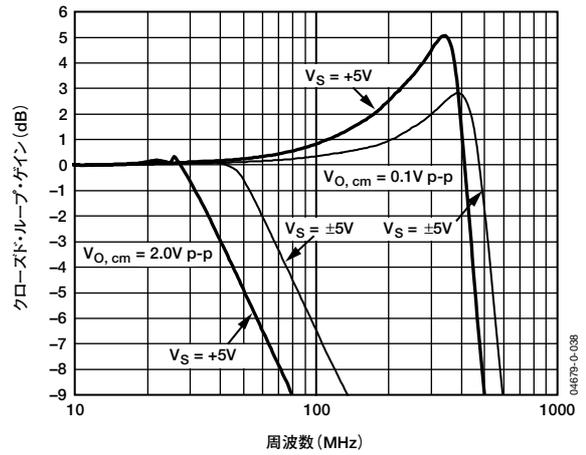


図40. さまざまな電源での $V_{OCM}$ の周波数応答性

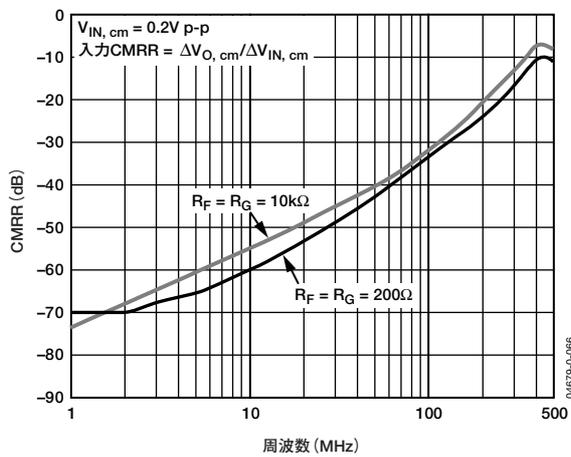


図38. CMRRの周波数特性

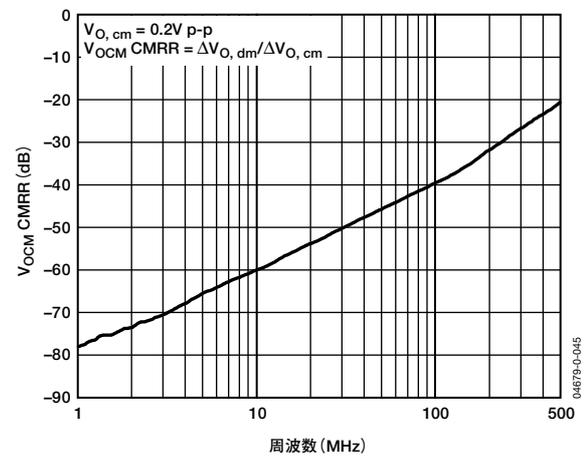


図41.  $V_{OCM}$  CMRRの周波数特性

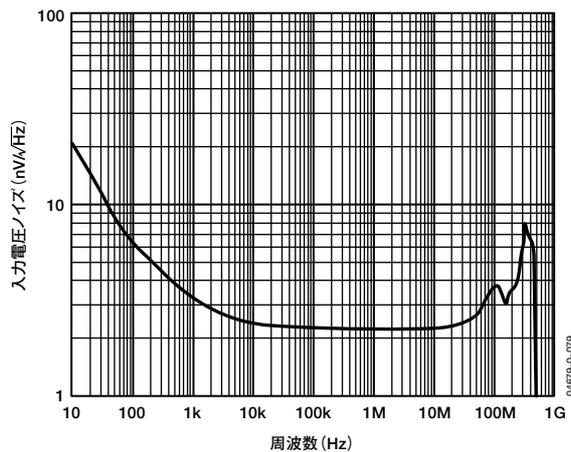


図39. 入力電圧ノイズの周波数特性

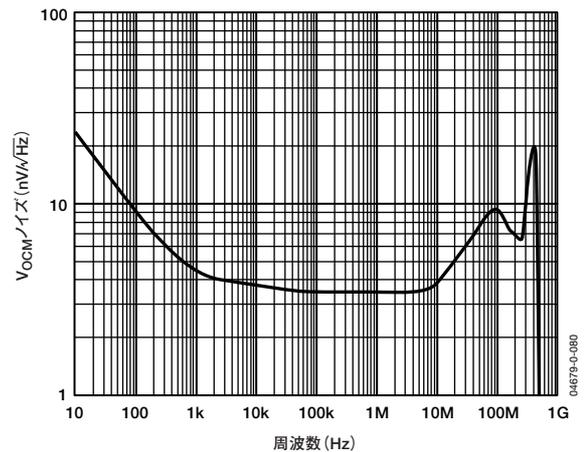


図42.  $V_{OCM}$ 電圧ノイズの周波数特性

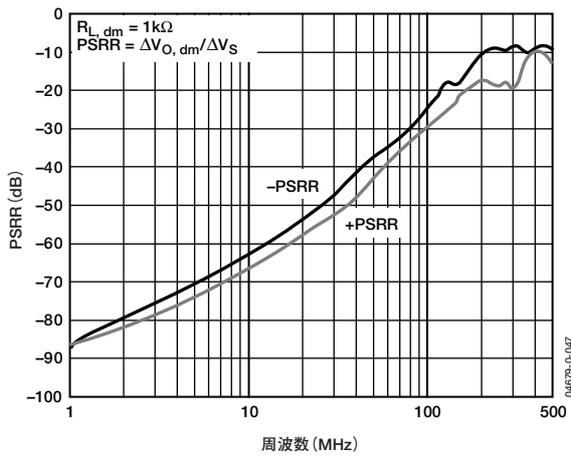


図43. PSRRの周波数特性

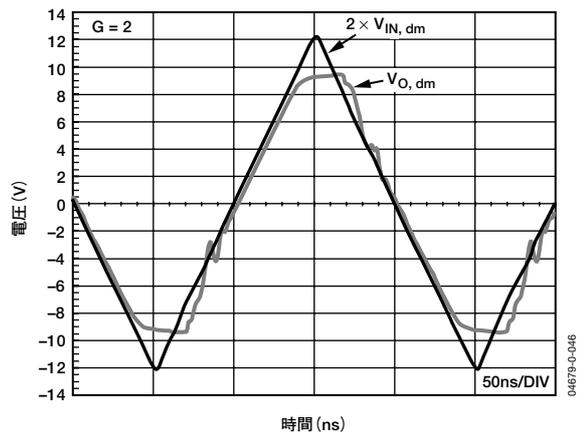


図46. オーバードライブ復帰特性

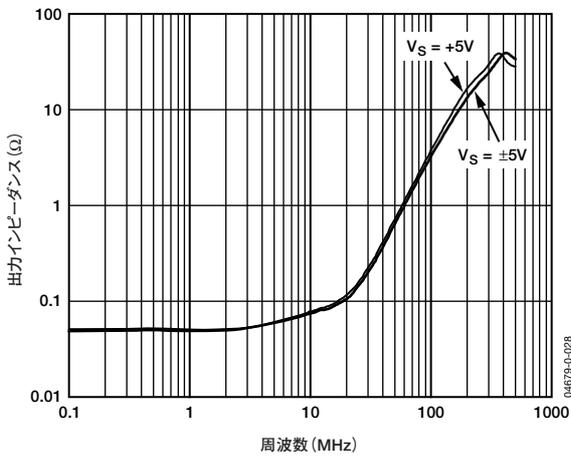


図44. シングルエンド出力インピーダンスの周波数特性

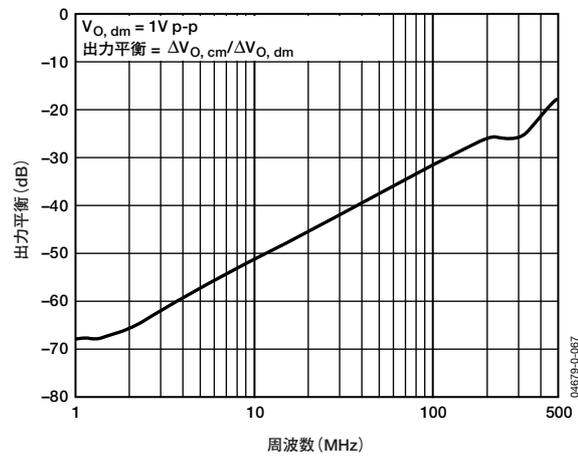


図47. 出力平衡の周波数特性

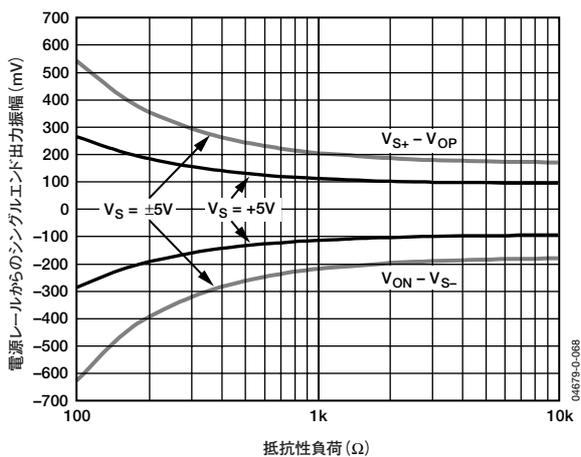


図45. 出力負荷 対 出力飽和電圧

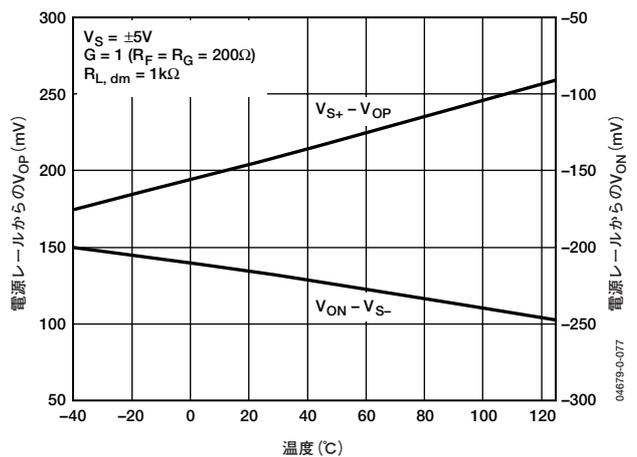


図48. 出力飽和電圧の温度特性

# AD8139

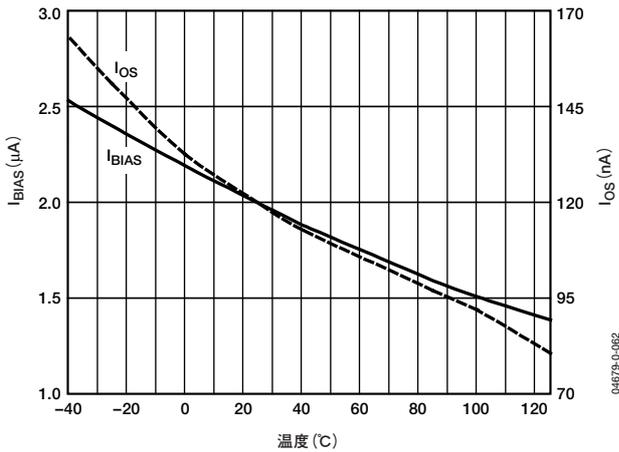


図49. 入力バイアス電流と入力オフセット電流の温度特性

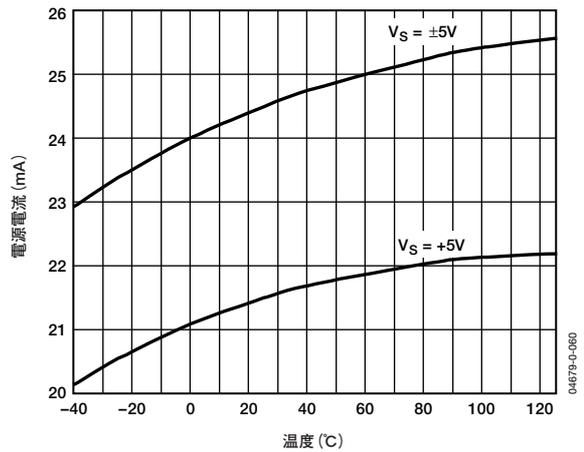


図52. 電源電流の温度特性

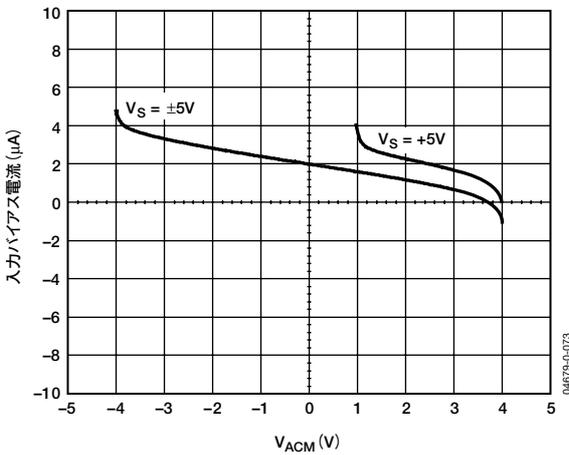


図50. 入力同相電圧 対 入力バイアス電流

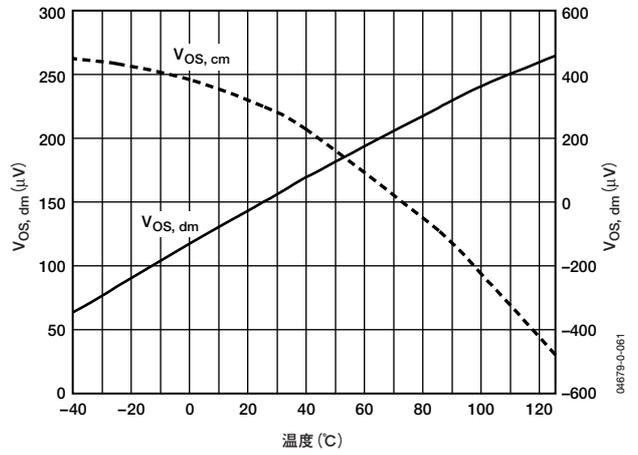


図53. オフセット電圧の温度特性

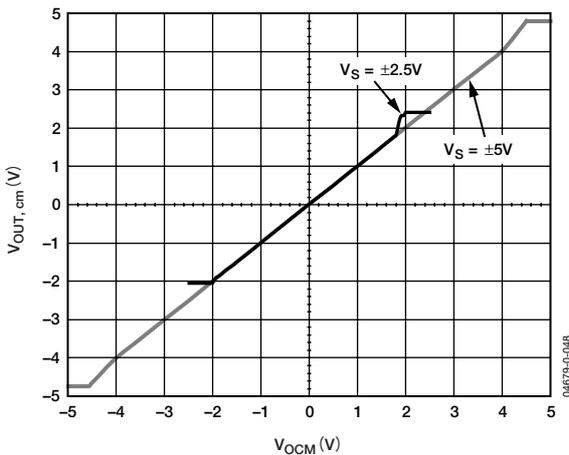


図51.  $V_{OCM}$ 入力電圧 対  $V_{OUT,cm}$

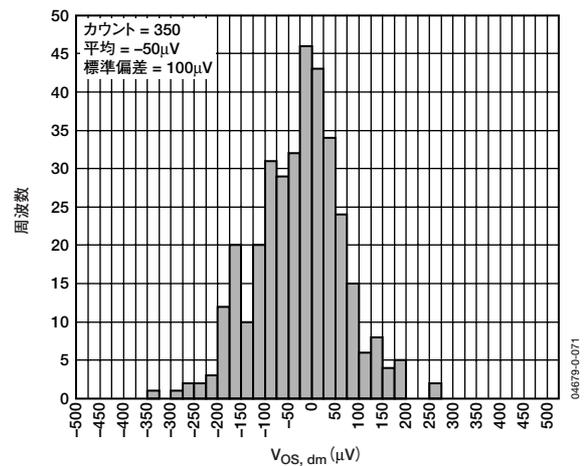
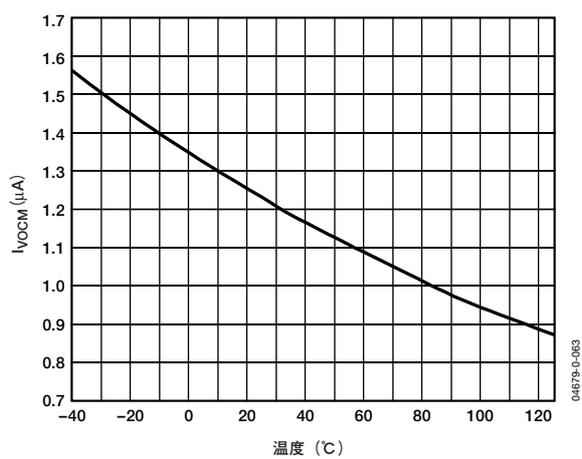
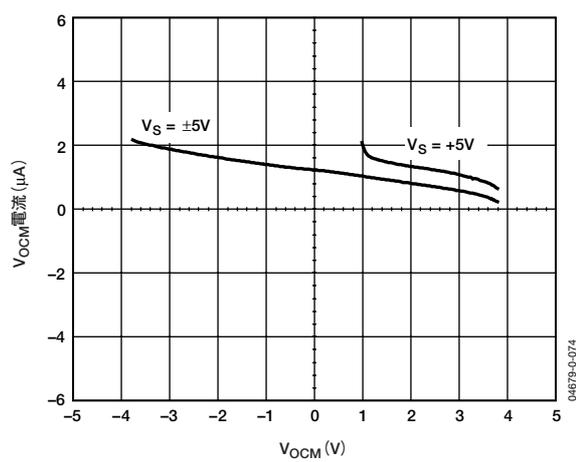


図54.  $V_{OS,dm}$ の分布

図55.  $V_{OCM}$  バイアス電流の温度特性図56.  $V_{OCM}$  入力電圧 対  $V_{OCM}$  バイアス電流

# AD8139

## 動作理論

AD8139は、アナログ・デバイセズの第2世代eXtra Fast Complementary Bipolar (XFCB：超高速相補型バイポーラ) プロセスで製造された高速、低ノイズの差動アンプです。このアンプは、差動またはシングルエンドの入力信号にตอบสนองして、高精度に平衡した2つの差動出力を供給するように設計されています。従来の電圧帰還型オペアンプと同じように、外部抵抗によって差動ゲインを設定します。出力電圧の同相レベルはV<sub>OCM</sub>ピンの電圧によって設定し、入力同相電圧に依存していません。AD8139には、高速スルーレート、低ノイズ、低歪みの動作のためのHブリッジ入力段と、ダイナミック出力レンジを最大限に拡張するレールtoレール出力段があります。差動入力を備えた最新型高分解能ADCを利用するために必要なシングルエンド/差動変換は、これらの機能によって簡単に実現できます。

### 代表的な接続と用語の定義

図57に、マッチングしたR<sub>F</sub>/R<sub>G</sub>ネットワークを外付けしたAD8139の代表的な接続を示します。AD8139の差動入力端子V<sub>AP</sub>とV<sub>AN</sub>をサミング・ジャンクションとして使用します。V<sub>OCM</sub>端子に加えられる外部リファレンス電圧によって、出力同相電圧を設定します。V<sub>OP</sub>とV<sub>ON</sub>の2本の出力端子の電圧は、1つの入力信号に対応して平衡を保ちながらそれぞれ反対の方向に移動します。

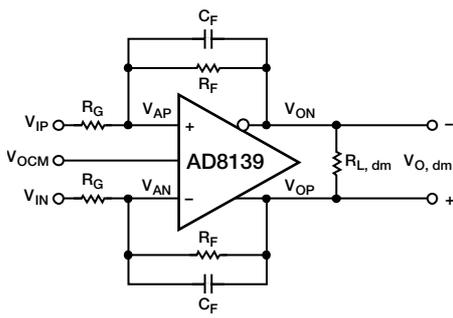


図57. 代表的な接続

差動出力電圧は、以下の式によって表すことができます。

$$V_{O, dm} = V_{OP} - V_{ON} \quad (1)$$

同相電圧は、2つの電圧を平均した電圧です。出力同相電圧は、以下の式によって表すことができます。

$$V_{O, cm} = \frac{V_{OP} + V_{ON}}{2} \quad (2)$$

### 出力平衡

出力平衡は、V<sub>OP</sub>とV<sub>ON</sub>の振幅がどの程度良好にマッチングしているか、また2つの位相がどの程度の精度で180°ずれているかを判断するための目安になります。出力同相電圧の信号成分をゼロの方向に強制的に設定する内部同相帰還ループであるため、振幅が同じで、位相が正確に180°異なっている、ほぼ完全に平衡した差動出力が得られます。出力平衡性能のためにそれほどマッチングした部品を使用しなくてもすみ、各ループの

帰還係数を互いに等しくする必要もありません。低周波数の出力平衡は内部の分圧器のミスマッチングによって最終的に制限されますが、このミスマッチングは最適な性能を実現するために調整されています。

出力平衡を測定するには、マッチングの優れた抵抗分圧器を差動出力の間に接続し、この分圧器のミッドポイント信号を差動出力の振幅と比較します。以下の式に示すように、出力平衡は出力同相電圧の変化の大きさを出力差動電圧の変化の大きさと割った値になります。

$$\text{出力平衡} = \left| \frac{\Delta V_{O, cm}}{\Delta V_{O, dm}} \right| \quad (3)$$

図58のAD8139のブロック図には、外部の差動帰還ループ (R<sub>F</sub>/R<sub>G</sub>ネットワークと差動入力のトランスコンダクタンス・アンプG<sub>DIFF</sub>) と内部の同相帰還ループ (V<sub>OP</sub>とV<sub>ON</sub>の分圧器および同相入力力のトランスコンダクタンス・アンプG<sub>CM</sub>) を示しています。差動負帰還は、サミング・ジャンクションV<sub>AN</sub>とV<sub>AP</sub>の電圧をこの2つが基本的に等しくなるように駆動します。

$$V_{AN} = V_{AP} \quad (4)$$

同相帰還ループは、2つの500Ω抵抗のミッドポイントでサンプリングされる出力同相電圧が、V<sub>OCM</sub>端子で設定される電圧と等しくなるように駆動します。これによって、以下の式が成立します。

$$V_{OP} = V_{OCM} + \frac{V_{O, dm}}{2} \quad (5)$$

および

$$V_{ON} = V_{OCM} - \frac{V_{O, dm}}{2} \quad (6)$$

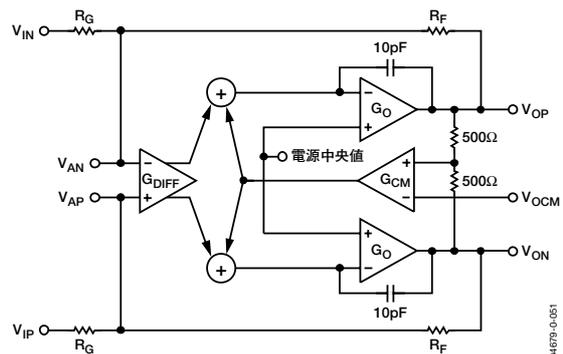


図58. ブロック図

## アプリケーション

### マッチングされた帰還ネットワークによるノイズ、ゲイン、帯域幅の概算

#### 出力ノイズ電圧の概算

出力ノイズの合計値は、互いに依存していないいくつかの信号源のノイズの2乗和平方根の合計値に相当します。信号源が互いに依存していないため、各信号源のノイズ成分を別々に2乗和平方根の計算に入れる必要があります。表6に、さまざまなクロード・ループ・ゲインに対する推奨抵抗値と、帯域幅と出力差動電圧ノイズの概算値を示します。大部分のアプリケーションにおいて、1%の抵抗で十分です。

表6. さまざまなクロード・ループ・ゲインに対する推奨抵抗値と概算合計出力ノイズ

ゲイン	$R_G$ ( $\Omega$ )	$R_F$ ( $\Omega$ )	3dB帯域幅 (MHz)	合計出力ノイズ (nV/ $\sqrt{\text{Hz}}$ )
1	200	200	400	5.8
2	200	400	160	9.3
5	200	1k	53	19.7
10	200	2k	26	37

差動出力電圧ノイズには、AD8139の入力電圧ノイズと入力電流ノイズの成分のほか、外部帰還ネットワークから生じるノイズ成分が含まれます。

入力電圧ノイズのスペクトル密度に由来するノイズ成分は、以下の式で求めることができます。

$$V_{o\_n1} = v_n \left( 1 + \frac{R_F}{R_G} \right) \text{ または } v_n / \beta \quad (7)$$

ここで、 $v_n$ は入力換算の差動電圧ノイズです。この式は、従来のオペアンプのものと同じです。

各入力の入力電流ノイズに由来する成分は、以下の式で求めることができます。

$$V_{o\_n2} = i_n (R_F) \quad (8)$$

ここで、 $i_n$ は1つの入力の入力ノイズ電流です。2つの入力電流は統計上独立したプロセスになるため、各入力を別々に扱う必要があります。

各 $R_G$ に由来するノイズ成分は、以下の式で求めることができます。

$$V_{o\_n3} = \sqrt{4kTR_G} \left( \frac{R_F}{R_G} \right) \quad (9)$$

この結果は、各 $R_G$ に差動ゲイン値を乗じた熱ノイズということがわかります。

各 $R_F$ に由来するノイズ成分は、以下の式で求めることができます。

$$V_{o\_n4} = \sqrt{4kTR_F} \quad (10)$$

#### 電圧ゲイン

シングルエンド入力差動出力構成のノード電圧の特性は、すでに説明した定義から導出できます。図54 ( $C_F=0$ )を参照し、 $V_{IN}=0$ に設定すると、以下の式が得られます。

$$\frac{V_{IP} - V_{AP}}{R_G} = \frac{V_{AP} - V_{ON}}{R_F} \quad (11)$$

$$V_{AN} = V_{AP} = V_{OP} \left[ \frac{R_G}{R_F + R_G} \right] \quad (12)$$

この2つの式を計算し、 $V_{IP}$ を $V_i$ に設定すると、 $V_{O, dm}/V_i$ のゲイン関係式が得られます。

$$V_{OP} - V_{ON} = V_{O, dm} = \frac{R_F}{R_G} V_i \quad (13)$$

入力信号を $V_{IN}$ に印加し、 $V_{IP}=0$ を設定するだけで、ゲインが同じ反転構成になります。平衡した差動入力の場合には、 $V_{IN, dm}$ から $V_{O, dm}$ までのゲインも $R_F/R_G$ に等しくなります。ここで $V_{IN, dm} = V_{IP} - V_{IN}$ です。

#### 帰還係数の使用

差動アンプを使用する場合は、帰還係数 $\beta$ を利用すると便利です。これは、以下のように定義できます。

$$\beta = \frac{R_G}{R_F + R_G} \quad (14)$$

帰還係数 $\beta$ は従来の帰還解析に矛盾することなく、特に2つの帰還ループがマッチングしないときに用いると非常に便利です。

#### 入力同相電圧

$V_{AN}$ と $V_{AP}$ の各端子の直線性の範囲は、正または負の電源レールの約1V以内まで拡張されています。基本的に $V_{AN}$ と $V_{AP}$ は互いに等しいため、ともにアンプの入力同相電圧に等しい値になります。その電圧範囲は、仕様の表に入力同相電圧範囲として記載されています。図57の接続図の $V_{AN}$ と $V_{AP}$ の電圧は、以下の式で表すことができます。

$$V_{AN} = V_{AP} = V_{ACM} = \left( \frac{R_F}{R_F + R_G} \times \frac{(V_{IP} + V_{IN})}{2} \right) + \left( \frac{R_G}{R_F + R_G} \times V_{OCM} \right) \quad (15)$$

ここで、 $V_{ACM}$ はアンプの入力端子に存在する同相電圧です。

$\beta$ を用いると、式15は次のように書き表すことができます。

# AD8139

$$V_{ACM} = \beta V_{OCM} + (1 - \beta) V_{ICM} \quad (16)$$

あるいは

$$V_{ACM} = V_{ICM} + \beta (V_{OCM} - V_{ICM}) \quad (17)$$

ここで、 $V_{ICM}$ は入力信号の同相電圧です。これは、次の式で求めることができます。

$$V_{ICM} = \frac{V_{IP} + V_{IN}}{2}$$

正しい動作のためには、 $V_{AN}$ と $V_{AP}$ の電圧をそれぞれの直線性の範囲内に維持する必要があります。

## 入力インピーダンスの計算

図57に示す回路の入力インピーダンスは、シングルエンドまたは差動のいずれの信号源でアンプを駆動しているかによって異なります。差動入力信号が平衡している場合、差動入力インピーダンス ( $R_{IN, dm}$ ) は次のような単純なものになります。

$$R_{IN, dm} = 2R_G \quad (18)$$

シングルエンド信号の場合には（たとえば、 $V_{IN}$ がグラウンドに接続され、入力信号が $V_{IP}$ を駆動する場合）、入力インピーダンスは以下のようになります。

$$R_{IN} = \frac{R_G}{1 - \frac{R_f}{2(R_G + R_f)}} \quad (19)$$

従来の反転型オペアンプ構成の場合の入力インピーダンスは単に $R_G$ になりますが、式19では、差動出力電圧の一部がサミング・ジャンクション $V_{AN}$ と $V_{AP}$ に現れるために、入力インピーダンスがこれより大きくなります。差動出力電圧は入力抵抗 $R_G$ をまたがる電圧を部分的にブートストラップし、入力抵抗値を増大させます。

## 入力同相振幅に関する考慮事項

単電源電圧を使用する一部のシングルエンド／差動変換アプリケーションでは、入力同相電圧 $V_{ACM}$ の振幅に注意する必要があります。

$V_{IN}$ の振幅がグラウンドのベースラインを基準として5Vp-pであり、 $V_{REF}$ がグラウンドに接続されている図59の場合を考えてみましょう。

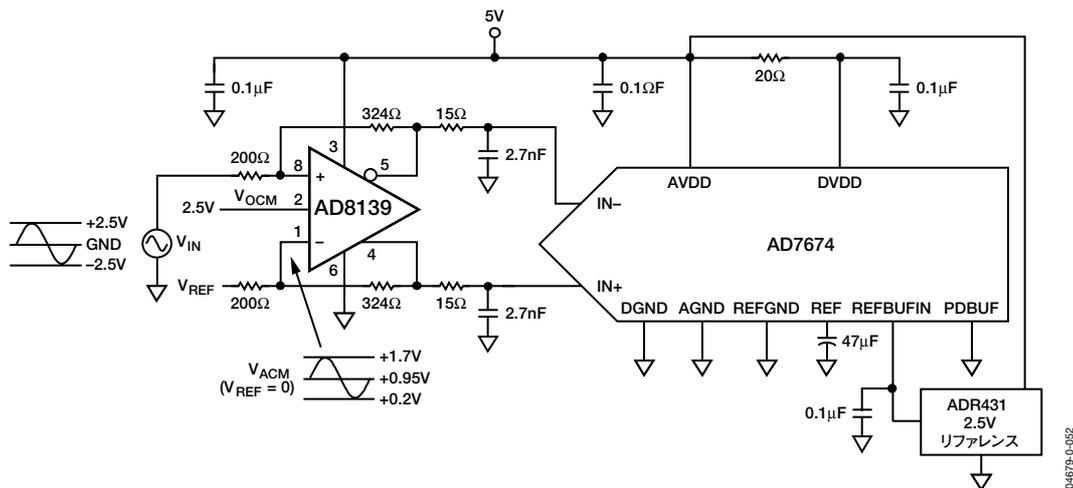


図59. 18ビット、800kSPSのADC、AD7674を駆動するAD8139

この回路では、差動ゲインが1.6で、 $\beta=0.38$ です。 $V_{ICM}$ の振幅は2.5Vp-pであり、グラウンドを基準にしています。式16の解から、AD8139の入力同相電圧 $V_{ACM}$ の振幅は、0.95Vのベースラインを基準とする1.5Vp-pの信号になります。この場合、 $V_{ACM}$ が負の方向に移動する最大の電位は0.2Vであり、入力同相電圧の下限値を超えてしまいます。

入力同相振幅の制限を超えないようにする1つの方法は、 $V_{IN}$ と $V_{REF}$ を電源中央値にバイアスすることです。この場合、 $V_{IN}$ の振幅は2.5Vのベースラインを基準とする5Vp-pの信号になり、 $V_{REF}$ はインピーダンスの低い2.5Vの信号源に接続します。 $V_{ICM}$ の振幅は、2.5Vを基準とする2.5Vp-pの信号になります。式17の解を利用すると、 $V_{OCM}=V_{ICM}$ であるため、 $V_{ACM}$ は $V_{ICM}$ に等しくなります。したがって、 $V_{ACM}$ の振幅は1.25~3.75Vの範囲になり、AD8139の入力同相電圧の制限内に十分入ります。この例で確認できるもう1つの利点は、 $V_{OCM}=V_{ACM}=V_{ICM}$ であるため、同相電流を浪費しないという点です。図60に、インピーダンスの低いバイアス電圧を供給する方法を示します。高精度のリファレンスを使用する必要がない場合は、簡単な構成の分圧器だけで、十分にバッファ入力電圧を生成できます。

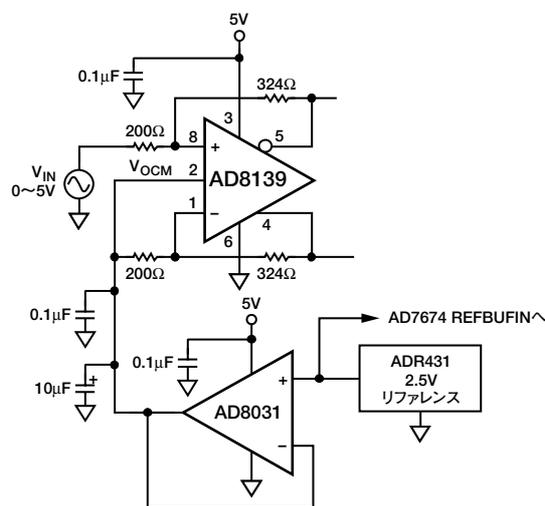


図60. 低インピーダンスの2.5Vバッファ

入力同相振幅の制限を超えないようにするもう1つの方法として、AD8139にデュアル電源を使用する方法があります。この場合は、バイアス回路は不要となります。

#### クローズド・ループ・ゲインと帯域幅の関係

AD8139の3dB帯域幅は、従来の電圧帰還型オペアンプと同様、クローズド・ループ・ゲインを高くすると、それに反比例して低下します。クローズド・ループ・ゲインが4よりも大きい場合、特定のゲインで得られる帯域幅は以下の式で計算できます。

$$f_{-3dB} \cdot V_{O, dm} = \frac{R_G}{R_G + R_F} \times (300\text{MHz}) \quad (20)$$

あるいは、 $\beta(300\text{MHz})$ とすることもできます。

この計算では、4を超えるゲインを得るための条件として、アンプのループに対して最小90°の位相マージンを仮定しています。ゲインを低くすると、位相マージンの低下に伴って発生するピーキングによって、帯域幅は計算した予想値よりも大きくなります。

#### DC誤差の概算

AD8139で発生する主要な差動出力オフセット誤差は、主に3つの誤差源に由来します。すなわち、入力オフセット電圧、帰還ネットワークの抵抗値と相互作用する $V_{AN}$ と $V_{AP}$ の入力電流間のオフセット、帰還ネットワークのマッチング誤差に関連して発生する入力および出力同相電圧間のDC電圧差に起因するオフセットです。

最初の出力誤差成分は、以下の式で求めることができます。

$$V_{O\_e1} = V_{IO} \left( \frac{R_F + R_G}{R_G} \right) \text{ または } V_{IO} / \beta \quad (21)$$

ここで、 $V_{IO}$ は入力オフセット電圧です。AD8139の入力オフセット電圧はレーザー・トリミングされており、決して500μVを超えることはありません。

2番目の誤差は、以下の式で求めることができます。

$$V_{O\_e2} = I_{IO} \left( \frac{R_F + R_G}{R_G} \right) \left( \frac{R_G R_F}{R_F + R_G} \right) = I_{IO} (R_F) \quad (22)$$

ここで、 $I_{IO}$ は2つの入力バイアス電流間のオフセットです。

3番目の誤差電圧は、以下の式で求めることができます。

$$V_{O\_e3} = \Delta enr \times (V_{ICM} - V_{OCM}) \quad (23)$$

ここで、 $\Delta enr$ は2個の帰還抵抗間のわずかなミスマッチ誤差です。

差動オフセット誤差全体の値は、上記3つの誤差源を合計した値になります。

#### 帰還ネットワークのミスマッチングによるその他の影響

内部同相帰還ネットワークは、 $R_F/R_G$ の帰還ネットワークにミスマッチングが生じていても、強制的に出力電圧を平衡状態に保ちます。しかし、この場合、帰還ネットワークのミスマッチングに比例してゲイン誤差が生じます。

従来のオペアンプを使用した4つの抵抗による差動アンプの場合とまったく同じように、外部抵抗比にマッチング誤差があると、 $V_{AN}$ と $V_{IN}$ の入力端子の同相信号を除去する能力が低下します。さらに、抵抗比のマッチング誤差にともなって、差動出力成分 ( $V_{OCM}$ 入力電圧に帰還係数 ( $\beta$ ) 同士の差を乗じた値) が生じます。1%の抵抗を使用する大部分のアプリケーションでは、この成分は出力の差動DCオフセット値に相当するため、無視できるほどの小さい値です。

# AD8139

## 容量性負荷の駆動

純粋な容量性負荷は、AD8139のボンディング・ワイヤとピンのインダクタンスと相互に作用するため、過渡応答に高周波数のリングングが発生し、位相マージンが失われます。この影響を最小限に抑える1つの方法は、値の小さい抵抗を各出力と直列に接続し、負荷容量をバッファすることです（図6および61を参照）。抵抗と負荷容量が1次のローパス・フィルタを形成するため、抵抗値は可能な限り小さくしてください。場合によっては、ADCの入力に小さい値の直列抵抗を追加しなければならないことがあります。

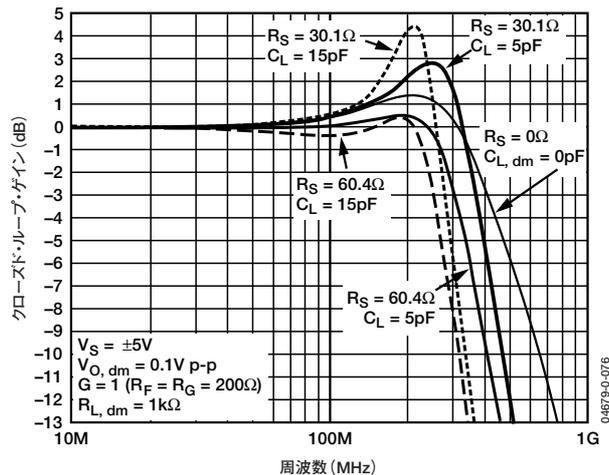


図61. さまざまな容量性負荷および直列抵抗に対する周波数応答性

「代表的な性能特性」に掲載する「容量性負荷に対する過渡応答性」の特性図では、各出力に直列抵抗を接続し、差動の容量性負荷を使用しています。

## レイアウトに関する注意事項

AD8139を使用して設計する場合は、標準的な高速PCボードのレイアウト方法に従ってください。グラウンド・プレーンの使用を推奨します。また、適切な電源のデカップリング・ネットワークを電源ピンにできるだけ近い場所に接続する必要があります。

サミング・ノードの浮遊容量を最小限に抑えるために、サミング・ノードに接続したすべてのパターン配線とパッドの下のあらゆる層から銅を取り除いてください。サミング・ノードに少しでも浮遊容量が存在すると、周波数応答でピーキングが発生し、浮遊容量が大きければ、動作が不安定になる可能性があります。サミング・ノードの浮遊容量がどうしてもいくらか残る場合は、帰還抵抗と並列に容量の小さいコンデンサを接続することによってその影響を補償できます。

## シングルエンド入力の終端

大部分の高速信号アプリケーションでは、インピーダンスのマッチングが考慮され、少なくとも1つの終端抵抗が必要とな

ります。アナログ信号のアプリケーションでは、一般にマッチングのとれた終端抵抗を負荷に近接した伝送ラインの終端部に配置します。ここでは、AD8139のシングルエンド入力を正しく終端する方法について説明します。

AD8139の入力回路による入力抵抗は終端抵抗と並列と考えることができるため、その負荷の影響を考慮に入れる必要があります。さらに、ドライバのテブナン等価回路、その信号源抵抗値、終端抵抗値もすべて計算に入れなければなりません。この問題を的確に解決するにはいくつかの代数式を同時に解く必要があり、本データシートの範囲を超えています。反復法による解決も可能であり、特に標準的な抵抗値が一般に使用されるといふことを考えれば、このほうが簡単な方法といえます。

図62に、14ビット高速ADCのAD6645を駆動するAD8139のユニティ・ゲイン構成回路を示し、50Ωの環境で正しい終端を行う方法について説明します。

AD8139回路の268Ωの入力抵抗（式19を使用して計算）と並列に終端抵抗 $R_T$ を接続することによって、信号源から見ると全体として50Ωの入力抵抗が生じます。マッチングした帰還ループを得るには、各ループに同じ $R_F$ を使用していれば、同じ $R_G$ を使用する必要があります。入力（上側）ループでは、 $R_G$ は（+）入力と直列に接続される200Ω抵抗に $R_T$ と50Ωの信号源抵抗の並列接続を合わせた抵抗値になります。したがって、上側のループで使用される $R_G$ の値は228Ωになります。228Ωに最も近い1%精度をもつ標準抵抗は226Ωであるため、この値を下側のループの $R_G$ として使用します。228Ωに近い抵抗値を得るために2つの抵抗を直列に使用すれば、より高い精度が得られます。

帰還抵抗の値を決定するときは、もう少し複雑です。信号源発生器 $V_S$ の振幅は、50Ωで終端するとき、出力信号の振幅の2倍になります。したがって、 $V_S$ からの4Vp-pの振幅によって2Vp-pの終端振幅が発生します。クローズド・ループ・ゲインを計算するときは、信号源と $R_T$ のテブナン等価回路を使用する必要があります。これは、上側ループの $R_G$ が信号源の方に向いているテブナン抵抗と200Ω抵抗との間で分割されるためです。 $R_T$ は常に50Ωよりも大きくなければならないため、50Ωの終端では信号源のテブナン電圧が信号源の出力電圧よりも高くなります。この場合、 $R_T$ が61.9Ω、テブナン電圧と抵抗値はそれぞれ2.2Vp-pと28Ωです。これで、上側の入力ブランチを228kΩの抵抗と直列に接続された2.2Vp-pの信号源とみなすことができます。これはユニティ・ゲインのアプリケーションに相当するため、2Vp-pの差動出力が必要になり、 $R_F$ の値は $228 \times (2/2.2) = 206\Omega$ にしなければなりません。これに最も近い標準値は205Ωです。

「代表的な性能特性」のデータでは、計測のキャリブレーションを実施し、クローズド・ループ・ゲインに対する終端の影響を考慮に入れてあります。

これは単電源のシングルエンド／差動変換アプリケーションであるため、入力同相電圧の振幅をチェックする必要があります。図62より、 $\beta=0.52$ 、 $V_{OCM}=2.4V$ 、 $V_{ICM}$ はグラウンドを基準とする $1.1V_{p-p}$ の振幅になります。式16を使用して $V_{ACM}$ の振幅を計算すると、 $1.25V$ のベースラインを中心とする $0.53V_{p-p}$ になり、負電位に移動する最小電圧は約 $1V$ になります。

#### 露出パドル (EP)

8ピンSOICパッケージおよびLFCSPパッケージのボディの下側には、露出パドルがあります。規定の熱抵抗値を得るには、PCボード・プレーンの少なくとも1つのレイヤとの間に良好な熱接続が必要です。この露出パドルはボード上面のパッドにハンダ付けする必要があり、パッドは数個のサーマル・ビアで内側のプレーンに接続し、放熱する必要があります。

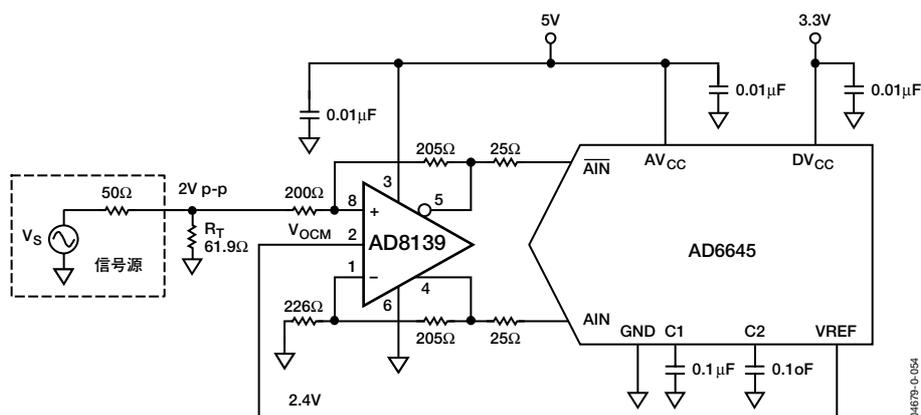
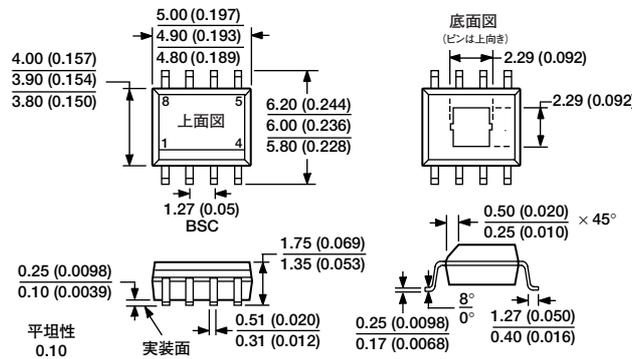


図62. 14ビット、80MSPS/105MSPSのADC、AD6645を駆動するAD8139

# AD8139

## 外形寸法



JEDEC規格MS-012に準拠

管理寸法はミリメートルの単位で表記しています。カッコ内に示すインチ単位の寸法はミリメートル値に基づく概数で、参考のためにのみ記載しています。設計ではこの値を使用しないでください。

図63. 露出パッド付きの8ピン標準SOIC/EP  
ナロー・ボディ (RD-8-1)  
寸法単位：mm (インチ)

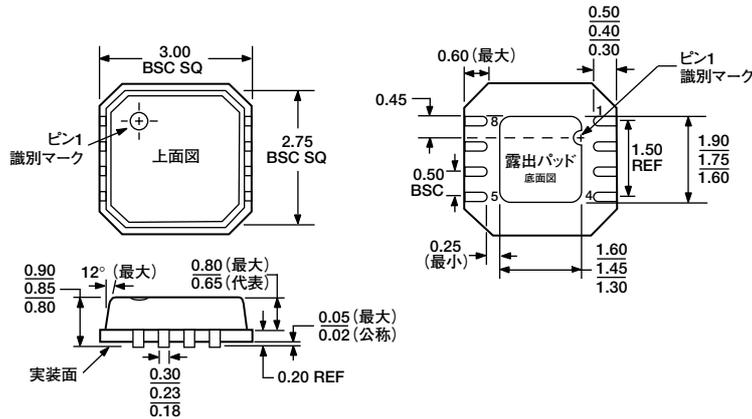


図64. 8ピンLFCSP  
3mm×3mmボディ (CP-8-2)  
寸法単位：mm

### オーダー・ガイド

製品	温度範囲	パッケージの説明	パッケージ・オプション	マーキング
AD8139ARD	-40°C ~ +125°C	8ピンSOIC	RD-8-1	
AD8139ARD-REEL	-40°C ~ +125°C	8ピンSOIC	RD-8-1	
AD8139ARD-REEL7	-40°C ~ +125°C	8ピンSOIC	RD-8-1	
AD8139ARDZ <sup>1</sup>	-40°C ~ +125°C	8ピンSOIC	RD-8-1	
AD8139ARDZ-REEL <sup>1</sup>	-40°C ~ +125°C	8ピンSOIC	RD-8-1	
AD8139ARDZ-REEL7 <sup>1</sup>	-40°C ~ +125°C	8ピンSOIC	RD-8-1	
AD8139ACP-R2	-40°C ~ +125°C	8ピンLFCSP	CP-8-2	HEB
AD8139ACP-REEL	-40°C ~ +125°C	8ピンLFCSP	CP-8-2	HEB
AD8139ACP-REEL7	-40°C ~ +125°C	8ピンLFCSP	CP-8-2	HEB
AD8139ACPZ-R2 <sup>1</sup>	-40°C ~ +125°C	8ピンLFCSP	CP-8-2	HEB
AD8139ACPZ-REEL <sup>1</sup>	-40°C ~ +125°C	8ピンLFCSP	CP-8-2	HEB
AD8139ACPZ-REEL7 <sup>1</sup>	-40°C ~ +125°C	8ピンLFCSP	CP-8-2	HEB

<sup>1</sup> Z=鉛フリー製品