

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2004年3月

ADC0820

8ビット高速 μ P コンパチブル・サンプル / ホールド機能内蔵 A/D コンバータ

概要

ハーフ・フラッシュ変換技術を用いることにより、8ビット ADC0820 CMOS A/D は、1.5 μ s の変換時間で、消費電力はわずか 75mW です。ハーフ・フラッシュ技術は 32 個のコンパレータ、上位 4 ビット ADC と下位 4 ビット ADC により構成されています。

ADC0820 への入力は、100mV/ μ s 以下の信号変化のもの（正弦波で 7kHz の信号）であれば、外部にサンプル / ホールド (S/H) の必要がなく、入力サンプリング回路によりラッキングされ、ホールドされます。

マイクロプロセッサとのインタフェースを容易にするために、ADC0820 は外部インタフェース・ロジックを必要とせず、メモリ・ロケーションおよび I/O ポートを実現するように設計されています。

主な仕様

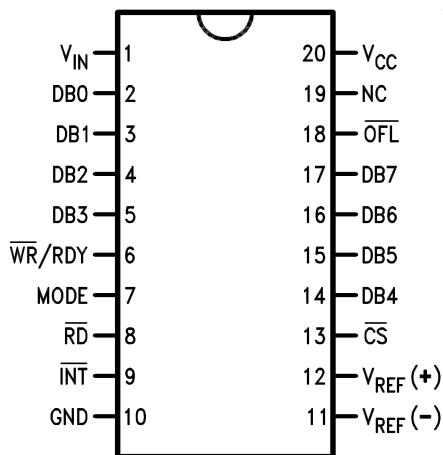
分解能	8ビット
変換時間	2.5 μ s (最大) (RD モード)
	1.5 μ s (最大) (WR-RD モード)
低消費電力	75mW (最大)
全無調整誤差	$\pm 1/2$ LSB、 ± 1 LSB

特長

- サンプル / ホールド機能内蔵
- ノー・ミッシング・コード
- 外部クロック不要
- 単一電源 5V_{DC} 動作
- すべてのマイクロプロセッサとのインタフェースが容易、またはスタンバイ動作が可能
- ラッチ付 TRI-STATE[®] 出力
- CMOS、TTL 両電圧レベルに適合する論理入出力
- レシオメトリック動作または V_{CC} 以下の基準電圧による動作
- 単一 5V 電源による 0V から 5V までのアナログ入力電圧範囲
- ゼロ調整またはフルスケール調整不要
- カスケード接続のためのオーバフロー出力を装備
- 0.3 インチ幅 20 ピン DIP
- 20 ピン・モールド・チップ・キャリア・パッケージ (20 ピン PLCC)
- 20 ピン・スモール・アウトライン・パッケージ (20 ピン SOP)

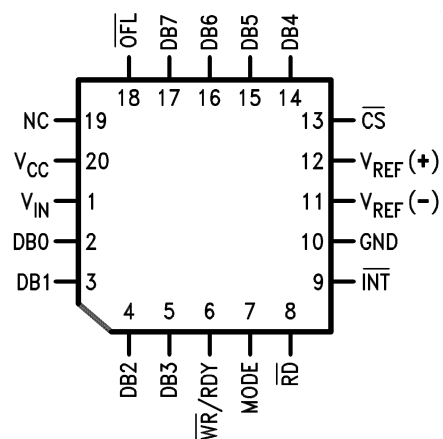
ピン配置図と機能図

Dual-In-Line, Small Outline and SSOP Packages



Top View

Molded Chip Carrier Package



ピン配置図と機能図 (つづき)

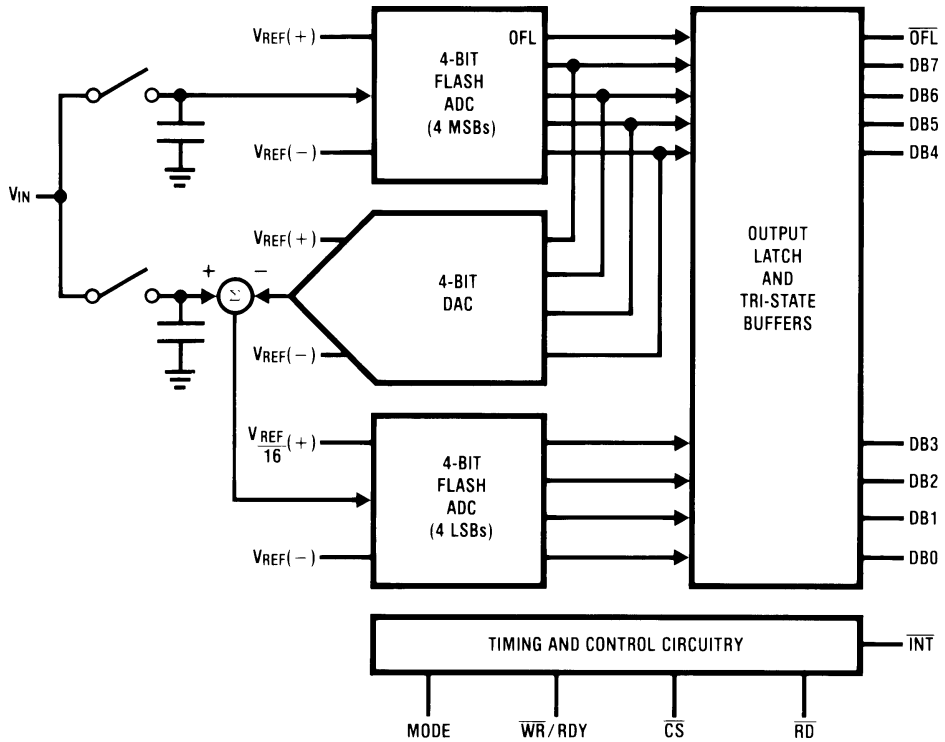


FIGURE 1.

製品情報

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV	$\pm 1/2$ LSB	V20A Molded Chip Carrier	0 to + 70
ADC0820BCWM		M20B Wide Body Small Outline	0 to + 70
ADC0820CCWM	± 1 LSB	M20B Wide Body Small Outline	0 to + 70
ADC0820CCN		N20A Molded DIP	0 to + 70

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_{CC})	10V
ロジック制御入力	- 0.2V ~ $V_{CC} + 0.2V$
その他の入出力電圧	- 0.2V ~ $V_{CC} + 0.2V$
保存温度範囲	- 65 ~ + 150
$T_A = 25$ でのパッケージ損失	875 mW
全入力ピンでの入力電流 (Note 5)	1 mA
パッケージ入力電流 (Note 5)	4 mA
ESD 耐圧 (Note 9)	900V
リード温度 (ハンダ付、10 秒)	
デュアル・インライン・パッケージ (プラスチック)	260

デュアル・インライン・パッケージ (セラミック)	300
表面実装パッケージ	
ペーパ・フェーズ (60 秒)	215
赤外線 (15 秒)	220

動作定格 (Note 1、2)

温度範囲	T_{MIN}	T_A	T_{MAX}
ADC0820CCN	0	T_A	70
ADC0820BCV	0	T_A	70
ADC0820BCWM、ADC0820CCWM	0	T_A	70
V_{CC} 範囲	4.5V ~ 8V		

コンバータ特性

下記の仕様は、特記のない限り、RD モード (ピン 7 = 0)、 $V_{CC} = 5V$ 、 $V_{REF(+)} = 5V$ 、および $V_{REF(-)} = GND$ で適用されます。太文字表記のリミット値は、**CCN**、**BCV**、**BCWM**、**CCWM** においては、**0 ~ + 70** の温度範囲に対して適用されます。他のすべてのリミット値は $T_A = T_J = 25$ です。

Parameter	Conditions	ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820 BCWM		$\pm 1/2$	$\pm 1/2$	LSB
	ADC0820CCN, CCWM		± 1	± 1	LSB
Minimum Reference Resistance		2.3	1.2		k Ω
Maximum Reference Resistance		2.3	5.3	6	k Ω
Maximum $V_{REF(+)}$ Input Voltage			V_{CC}	V_{CC}	V
Minimum $V_{REF(-)}$ Input Voltage			GND	GND	V
Minimum $V_{REF(+)}$ Input Voltage			$V_{REF(-)}$	$V_{REF(-)}$	V
Maximum $V_{REF(-)}$ Input Voltage			$V_{REF(+)}$	$V_{REF(+)}$	V
Maximum V_{IN} Input Voltage			$V_{CC}+0.1$	$V_{CC}+0.1$	V
Minimum V_{IN} Input Voltage			GND-0.1	GND-0.1	V
Maximum Analog Input Leakage Current	$\overline{CS} = V_{CC}$ $V_{IN} = V_{CC}$ $V_{IN} = GND$		0.3 -0.3	3 -3	μA μA
Power Supply Sensitivity	$V_{CC} = 5V \pm 5\%$	$\pm 1/16$	$\pm 1/4$	$\pm 1/4$	LSB

DC 電気的特性

下記の仕様は、特記のない限り、 $V_{CC} = 5V$ で適用されます。太文字表記のリミット値は、**CCN**、**BCV**、**BCWM**、**CCWM** においては、 $0 \sim +70$ の温度範囲に対して適用されます。他のすべてのリミット値は $T_A = T_J = 25$ です。

Parameter	Conditions	ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	$V_{CC}=5.25V$ \overline{CS} , \overline{WR} , \overline{RD} Mode		2.0	2.0	V
			3.5	3.5	V
$V_{IN(0)}$, Logical "0" Input Voltage	$V_{CC}=4.75V$ \overline{CS} , \overline{WR} , \overline{RD} Mode		0.8	0.8	V
			1.5	1.5	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)}=5V$; \overline{CS} , \overline{RD} $V_{IN(1)}=5V$; \overline{WR} $V_{IN(1)}=5V$; Mode	0.005		1	μA
		0.1	0.3	3	μA
		50	170	200	μA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)}=0V$; \overline{CS} , \overline{RD} , \overline{WR} , Mode	-0.005		-1	μA
$V_{OUT(1)}$, Logical "1" Output Voltage	$V_{CC}=4.75V$, $I_{OUT}=-360 \mu A$; DB0-DB7, \overline{OFL} , \overline{INT} $V_{CC}=4.75V$, $I_{OUT}=-10 \mu A$; DB0-DB7, \overline{OFL} , \overline{INT}		2.8	2.4	V
			4.6	4.5	V
$V_{OUT(0)}$, Logical "0" Output Voltage	$V_{CC}=4.75V$, $I_{OUT}=1.6 mA$; DB0-DB7, \overline{OFL} , \overline{INT} , RDY		0.34	0.4	V
I_{OUT} , TRI-STATE Output Current	$V_{OUT}=5V$; DB0-DB7, RDY $V_{OUT}=0V$; DB0-DB7, RDY	0.1	0.3	3	μA
		-0.1	-0.3	-3	μA
I_{SOURCE} , Output Source Current	$V_{OUT}=0V$; DB0-DB7, \overline{OFL} , \overline{INT}	-12	-7.2	-6	mA
		-9	-5.3	-4.0	mA
I_{SINK} , Output Sink Current	$V_{OUT}=5V$; DB0-DB7, \overline{OFL} , \overline{INT} , RDY	14	8.4	7	mA
I_{CC} , Supply Current	$\overline{CS} = \overline{WR} = \overline{RD} = 0$	7.5	13	15	mA

AC 電気的特性

下記の仕様は、特記のない限り、 $V_{CC} = 5V$ 、 $t_r = t_f = 20ns$ 、 $V_{REF(+)} = 5V$ 、 $V_{REF(-)} = 0V$ 、 $T_A = 25$ に対して適用されます。

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD} , Conversion Time for RD Mode	Pin 7 = 0, <i>Figure 2</i>	1.6		2.5	μs
t_{ACC0} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid)	Pin 7 = 0, <i>Figure 2</i>	$t_{CRD}+20$		$t_{CRD}+50$	ns
t_{CWR-RD} , Conversion Time for WR-RD Mode	Pin 7 = V_{CC} ; $t_{WR} = 600 ns$, $t_{RD}=600 ns$; <i>Figures 3, 4</i>			1.52	μs
t_{WR} , Write Time	Min Max	Pin 7 = V_{CC} ; <i>Figures 3, 4</i> (Note 4) See Graph		600	ns
			50		μs
t_{RD} , Read Time	Min	Pin 7 = V_{CC} ; <i>Figures 3, 4</i> (Note 4) See Graph		600	ns
t_{ACC1} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid)		Pin 7 = V_{CC} , $t_{RD} < t_i$, <i>Figure 3</i> $C_L = 15 pF$	190	280	ns
		$C_L = 100 pF$	210	320	ns

AC 電気的特性 (つづき)

下記の仕様は、特記のない限り、 $V_{CC} = 5V$ 、 $t_r = t_f = 20ns$ 、 $V_{REF(+)} = 5V$ 、 $V_{REF(-)} = 0V$ 、 $T_A = 25$ に対して適用されます。

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{ACC2} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid)	Pin 7 = V_{CC} , $t_{RD} > t_i$; <i>Figure 4</i> $C_L = 15$ pF	70		120	ns
	$C_L = 100$ pF	90		150	ns
t_{ACC3} , Access Time (Delay from Rising Edge of RDY to Output Valid)	$R_{PULLUP} = 1k$ and $C_L = 15$ pF	30			ns
t_i , Internal Comparison Time	Pin 7 = V_{CC} ; <i>Figures 4, 5</i> $C_L = 50$ pF	800		1300	ns
t_{1H} , t_{0H} , TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State)	$R_L = 1k$, $C_L = 10$ pF	100		200	ns
t_{INTL} , Delay from Rising Edge of \overline{WR} to Falling Edge of \overline{INT}	Pin 7 = V_{CC} , $C_L = 50$ pF $t_{RD} > t_i$; <i>Figure 4</i> $t_{RD} < t_i$; <i>Figure 3</i>			t_i	ns
		$t_{RD} + 200$		$t_{RD} + 290$	ns
t_{INTH} , Delay from Rising Edge of \overline{RD} to Rising Edge of \overline{INT}	<i>Figures 2, 3, 4</i> $C_L = 50$ pF	125		225	ns
t_{INTHWR} , Delay from Rising Edge of \overline{WR} to Rising Edge of \overline{INT}	<i>Figure 5</i> , $C_L = 50$ pF	175		270	ns
t_{RDY} , Delay from \overline{CS} to RDY	<i>Figure 2</i> , $C_L = 50$ pF, Pin 7 = 0	50		100	ns
t_{ID} , Delay from \overline{INT} to Output Valid	<i>Figure 5</i>	20		50	ns
t_{RI} , Delay from \overline{RD} to \overline{INT}	Pin 7 = V_{CC} , $t_{RD} < t_i$ <i>Figure 3</i>	200		290	ns
t_p , Delay from End of Conversion to Next Conversion	<i>Figures 2, 3, 4, 5</i> (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/ μ s
C_{VIN} , Analog Input Capacitance		45			pF
C_{OUT} , Logic Output Capacitance		5			pF
C_{IN} , Logic Input Capacitance		5			pF

Note 1: 「絶対最大定格」とは、IC に破壊が発生する可能性のあるリミット値をいいます。この規格を超えて動作させている IC には、DC 特性と AC 特性のいずれの規格も適用されません。

Note 2: すべての電圧は、特記のない限り、GND 端子に対して測定されたものです。

Note 3: 総合無調整誤差は、オフセット、フルスケール、直線性の誤差を含みます。

Note 4: t_{WR} または t_{RD} が最低規定値を下まわった場合、精度は悪化します。精度対 t_{WR} と精度対 t_{RD} のグラフを参照してください。

Note 5: いずれかの端子で入力電圧 (V_{IN}) が電源電圧範囲 ($V_{IN} < V^-$ または $V_{IN} > V^+$) を超える場合には、その端子での電流の絶対値は 1mA またはそれ以下に制限しなくてはなりません。入力電流が 4mA のパッケージでは、1mA 電流制限のある電源電圧限界を超えられる端子数は、4 本の端子に制限されます。

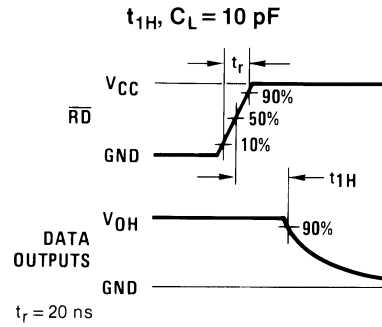
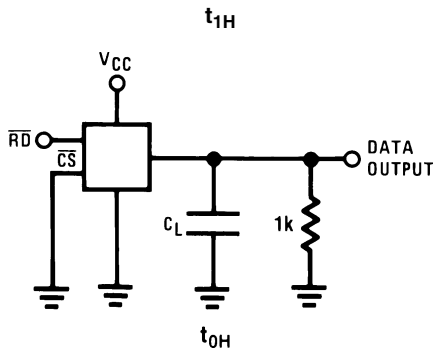
Note 6: 代表値 (Typical) は、 $T_A = 25$ で得られる最も標準的な数値です。

Note 7: リミット値は、弊社工場出荷検査時の品質レベルに基づいて保証されます。

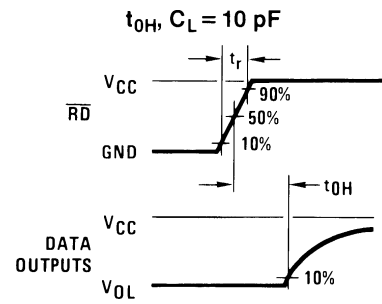
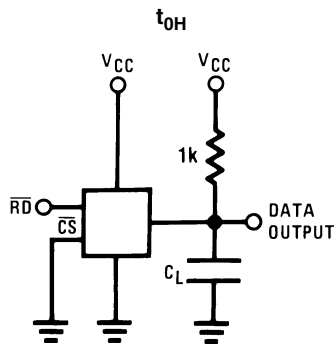
Note 8: Design limit は保証されますが、全数検査は実施されません。この数値は、出荷品質レベルを計算するために用いられません。

Note 9: 人体モデルに基づき、100pF のコンデンサより、1.5k の抵抗を介して各端子へ放電します。

TRI-STATE テスト回路と波形

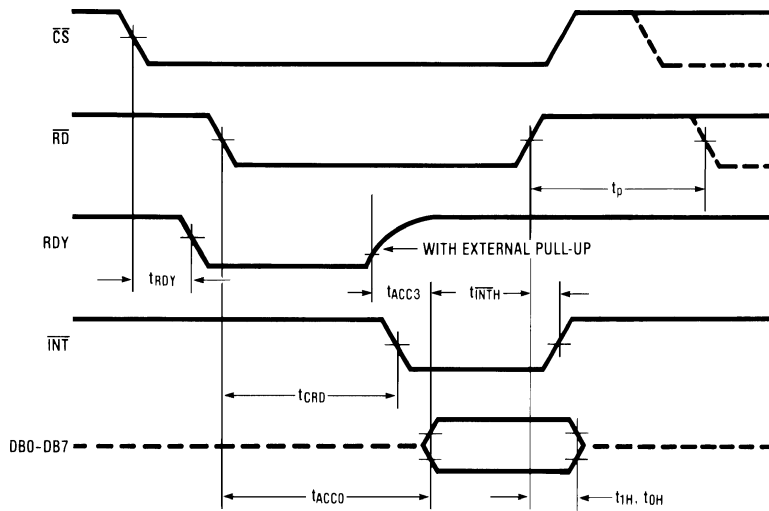


$t_r = 20 \text{ ns}$



$t_r = 20 \text{ ns}$

タイミング図



Note: パワーアップ時の $\overline{\text{INT}}$ の論理状態は、High または Low 状態になります。

FIGURE 2. RD Mode (Pin 7 is Low)

タイミング図(つぎ)

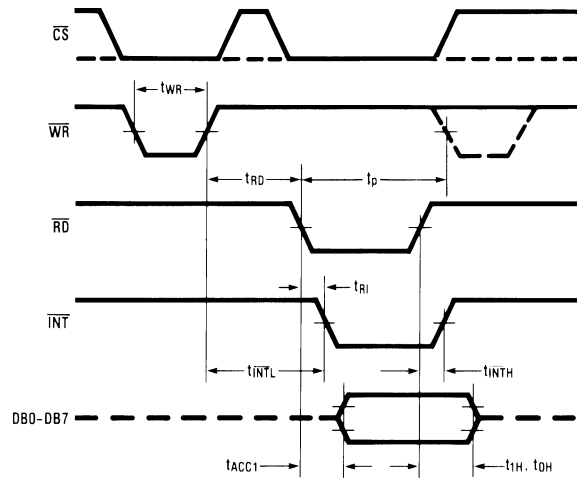


FIGURE 3. WR-RD Mode (Pin 7 is High and $t_{RD} < t_i$)

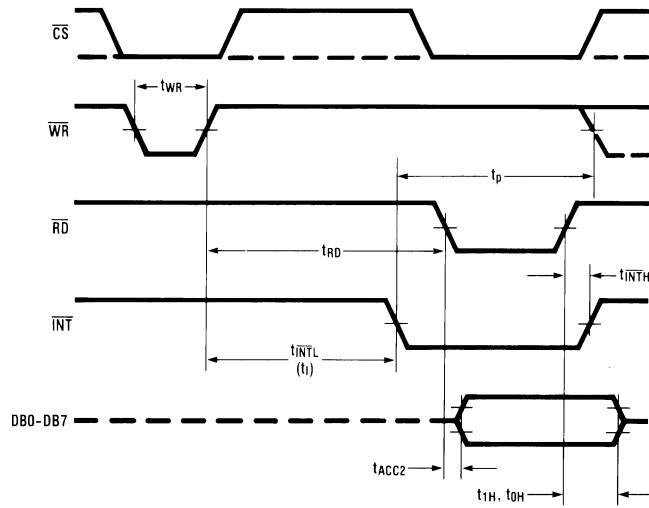


FIGURE 4. WR-RD Mode (Pin 7 is High and $t_{RD} > t_i$)

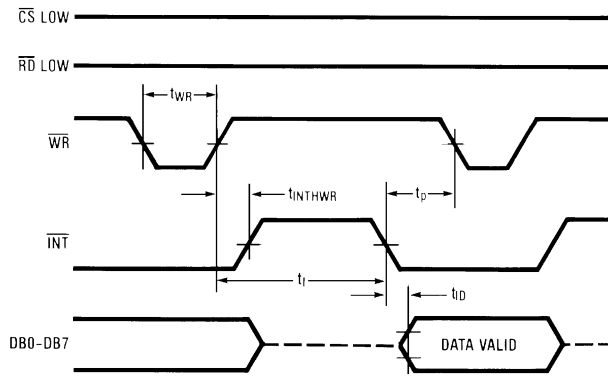
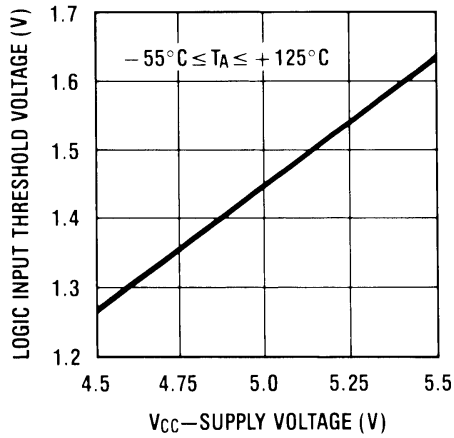


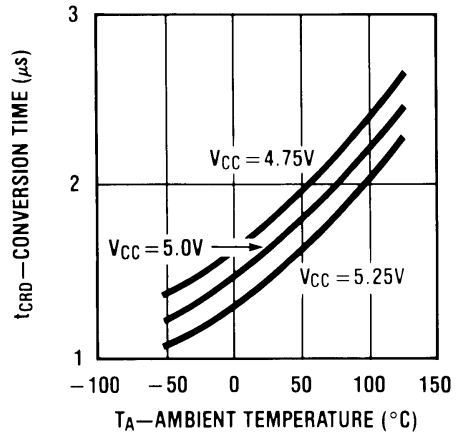
FIGURE 5. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

代表的な性能特性

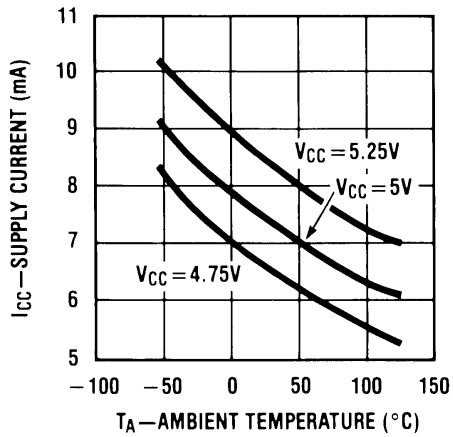
Logic Input Threshold Voltage vs. Supply Voltage



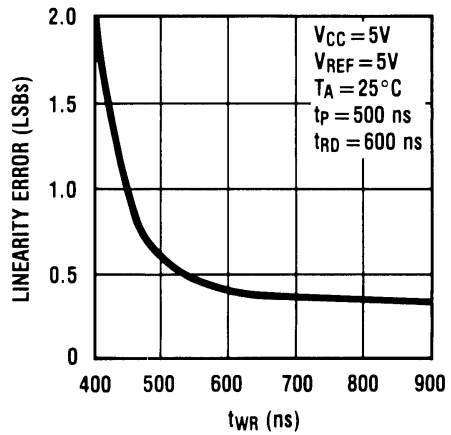
Conversion Time (RD Mode) vs. Temperature



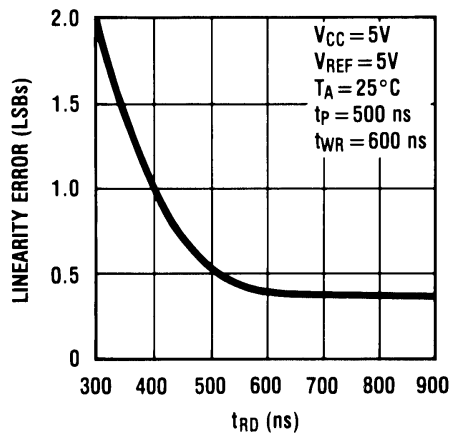
Power Supply Current vs. Temperature (not including reference ladder)



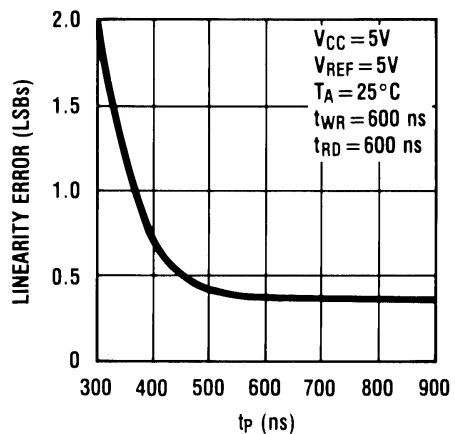
Accuracy vs. tWR



Accuracy vs. tRD

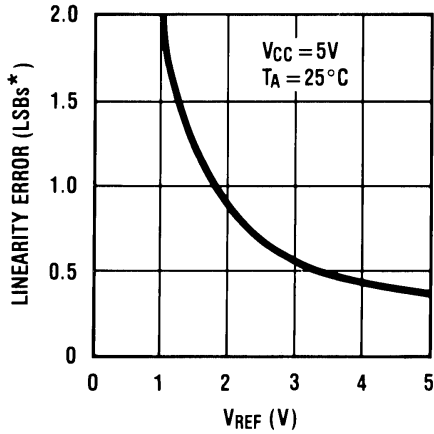


Accuracy vs. tp



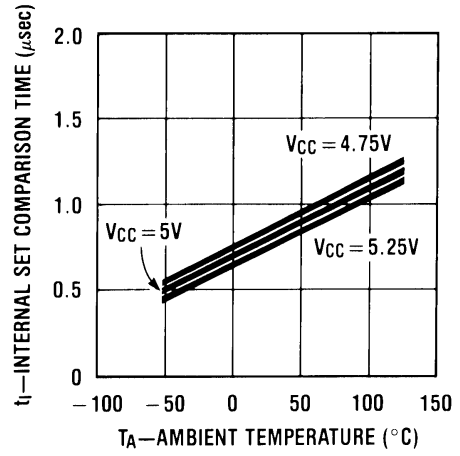
代表的な性能特性 (つづき)

Accuracy vs. V_{REF} [$V_{REF} = V_{REF(+)} - V_{REF(-)}$]

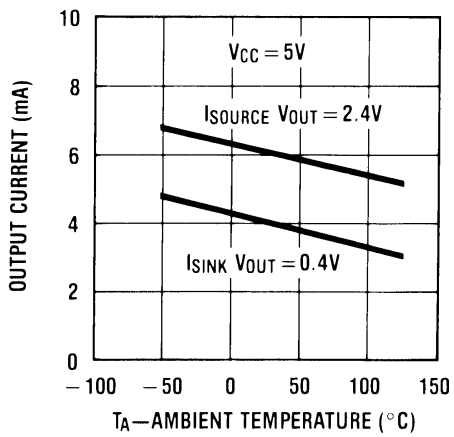


$$*1 \text{ LSB} = \frac{V_{REF}}{256}$$

t_i , Internal Time Delay vs. Temperature



Output Current vs. Temperature



端子説明

端子番号	端子名	機能	端子番号	端子名	機能
1	V _{IN}	アナログ入力: レンジ = GND ~ V _{IN} V _{CC}	9	$\overline{\text{INT}}$	WR-RD モード $\overline{\text{INT}}$ が Low になることは、変換が完了し変換データが出力ラッチにあることを示します。WR の立ち上がりエッジ (Figure 4 参照) 後、約 800ns (あらかじめ内部設定されているタイムアウト: t ₁) で $\overline{\text{INT}}$ は Low になるか、または $\overline{\text{RD}}$ が 800ns のタイムアウト (Figure 3 参照) に先だつて Low になると、RD の立ち上がりエッジの後 $\overline{\text{INT}}$ は、Low になります。INT は RD または $\overline{\text{CS}}$ の立ち上がりエッジによりリセットされます (Figure 3、4 参照)。 RD モード $\overline{\text{INT}}$ が Low になるのは、変換が完了し、変換データが出力ラッチに取り込まれたことを示します。INT は RD または $\overline{\text{CS}}$ の立ち上がりエッジ (Figure 2 参照) によりリセットされます。
2	DB0	TRI-STATE データ出力 - ビット 0 (LSB)	10	GND	グラウンド
3	DB1	TRI-STATE データ出力 - ビット 1	11	V _{REF} (-)	抵抗ラダーの最低値、電圧レンジ: GND ~ V _{REF} (+) (Note 5)
4	DB2	TRI-STATE データ出力 - ビット 2	12	V _{REF} (+)	抵抗ラダーの最高値、電圧レンジ: V _{REF} (-) ~ V _{REF} (+) ~ V _{CC} (Note 5)
5	DB3	TRI-STATE データ出力 - ビット 3	13	$\overline{\text{CS}}$	$\overline{\text{CS}}$ が Low の時のみ $\overline{\text{RD}}$ または $\overline{\text{WR}}$ は有効となります。
6	$\overline{\text{WR}}$ /RDY	WR-RD モード $\overline{\text{WR}}$: $\overline{\text{CS}}$ が Low になると、変換は $\overline{\text{WR}}$ の立ち上がりエッジで開始されます。WR の立ち上がりエッジから、約 800ns (あらかじめ内部設定されているタイムアウト: t ₁) で変換の結果は出力ラッチにストロープされますが、このタイムアウトの前に $\overline{\text{RD}}$ が発生すると出力ラッチにストロープされません。 (Figure 3、4 参照)。 RD モード RDY : これは、オープン・ドレイン出力 (内部プルアップなし) です。CS の立ち上がりエッジの後 RDY は Low になり、変換結果が出力ラッチにストロープされると、RDY は TRI-STATE になります。これは、マイクロプロセッサ・システムとのインタフェースを簡単にするのに使用されます。 (Figure 2 参照)。	14	DB4	TRI-STATE データ出力 - ビット 4
7	Mode	モード: モード選択入力。50 μ A の電流源を介して GND に内部結合されています。 RD モード : モードが Low の場合 WR-RD モード : モードが High の場合	15	DB5	TRI-STATE データ出力 - ビット 5
8	$\overline{\text{RD}}$	WR-RD モード $\overline{\text{CS}}$ が Low の場合、 $\overline{\text{RD}}$ が Low になると (Figure 5 参照)、TRI-STATE データ出力 (DB0-DB7) は、アクティブとなります。RD はまた、あらかじめ内部設定されているタイムアウト (t ₁ 、~ 800ns) 前にデータの読み込みを終わらせれば、変換速度を上げるためにも使用できます。これが実行された場合には、出力ラッチに転送されたデータは、RD の立ち上がりエッジの後ラッチされます (Figure 3、4 参照)。 RD モード $\overline{\text{CS}}$ が Low の場合、 $\overline{\text{RD}}$ が Low になると変換が開始されます。RD は変換の完了時に、TRI-STATE データ出力をイネーブルします。変換が完了すると、RDY が TRI-STATE に、INT が Low になります (Figure 2 参照)。	16	DB6	TRI-STATE データ出力 - ビット 6
			17	DB7	TRI-STATE データ出力 - ビット 7 (MSB)
			18	$\overline{\text{OFL}}$	オーバフロー出力: アナログ入力、V _{REF} (+) を超えた場合、 $\overline{\text{OFL}}$ は変換の終了で Low になります。それは 8 ビット以上の分解能 (9、10 ビット) を得るために 2 つまたはそれ以上のデバイスのカスケード接続に使用できます。この出力は常にアクティブで、DB0 ~ DB7 のように TRI-STATE にはなりません。
			19	NC	未使用 (未接続)
			20	V _{CC}	電源電圧

1.0 機能説明

1.1 動作概要

ADC0820 は 8 ビット分解能を作り出すために、2 つの 4 ビット・フラッシュ A/D コンバータを使用しています (Figure 1)。それぞれのフラッシュ ADC は、4 ビットの結果を得るために、リファレンス・ラダーへの未知の入力を比較する 15 個のコンパレータで構成されています。全 8 ビットを読むため、初めのフラッシュ変換で、最上位データ 4 ビットの供給が実行されます (MS フラッシュ ADC を介して)。最上位データ 4 ビットでドライブされる内部 DAC は、入力電圧のアナログ近似を作り出します。次にこのアナログ信号は入力から引算され、電圧差は 2 番目の 4 ビット・フラッシュ ADC (LS フラッシュ ADC) により変換され、出力データ・ワードの最下位 4 ビットを供給します。

内部 DAC は、実際には MS フラッシュ・コンバータの一部です。DAC 信号を出力する時には、MS フラッシュ・コンバータ上の抵抗ラダーを使用します。DAC 出力は、実際はアナログ入力と最も近似する抵抗ラダーのタップを選択したものです。加えて、ADC0820 内で使われている「サンプルド・データ」コンパレータは、(入力加算アンプを使わずに)いくつものアナログ信号の大きさを、同時に比較する能力を持っています。これは、特に変換される信号がアナログ差動の場合の LS フラッシュ ADC (下位 4 ビット ADC) で有用です。

1.2 サンプルド・データ・コンパレータ

ADC0820 の各コンパレータは、容量結合入力の CMOS インバータにより構成されています (Figure 6, 7)。アナログ・スイッチは、2 つのコンパレータ入力を入力コンデンサ (C) に接続し、またインバータの入力と出力をも接続します。このデバイスは事実上 1 つの差動入力ペアを持っていることとなります。比較には、2 サイクルを必要とし、1 サイクルはコンパレータのゼロ調整に使用され、1 サイクルは比較の実行に使用されます。

最初のサイクルで、1 つの入力スイッチとインバータのフィードバック・スイッチ (Figure 6) が閉じられます。この期間では、C は接続された入力 (V1) でインバータのバイアス電圧 (V_B: 約 1.2V) 未満まで充電されます。次のサイクル (Figure 7) では、これらの 2 つのスイッチは開かれ、別の (V2) 入力スイッチが閉じられます。この時入力コンデンサは 2 つ目の入力からその充電電圧を差し引き、その差がインバータのオープン・ループ・ゲインで増幅されます。インバータの入力 (V_B') は、

$$V_B - (V_1 - V_2) \frac{C}{C + C_S}$$

となり、出力は、V_B' - V_B の符号により、High または Low になります。

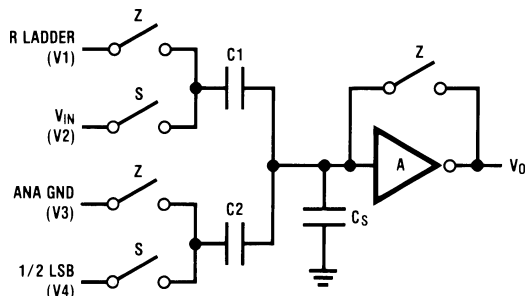
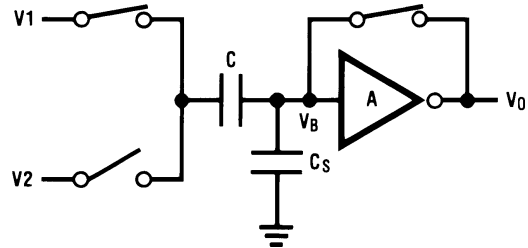


FIGURE 8. ADC0820 Comparator (from MS Flash ADC)

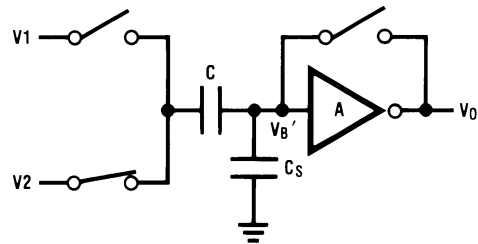
ADC0820 で使われている実際の回路は、シンプルですが、上記で説明された基本コンパレータを拡張したものです。入力に 2 つ目のコンデンサと別のスイッチ・セットを追加すると (Figure 8)、デュアルの差動比較に拡張することが可能となります。この回路でフィードバック・スイッチと各コンデンサの 1 入力スイッチ (Z) は、ゼロ調整サイクルで閉じられます。比較はそれぞれのコンデンサの 2 つ目の入力を接続し、他のすべてのスイッチ (S) を開けば行われます。各入力コンデンサの充電による変化の結果として、インバータ入力での電圧変化は両入力信号の差によるものです。



- V_O = V_B
- V on C = V₁ - V_B
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

Zeroing Phase

FIGURE 6. Sampled-Data Comparator



- V_B' - V_B = (V₂ - V₁) $\frac{C}{C + C_S}$
- V_O' = $\frac{-A}{C + C_S} [CV_2 - CV_1]$
- V_O' is dependent on V₂ - V₁

Compare Phase

FIGURE 7. Sampled-Data Comparator

$$V_O = \frac{-A}{C_1 + C_2 + C_S} [C_1(V_2 - V_1) + C_2(V_4 - V_3)]$$

$$= \frac{-A}{C_1 + C_2 + C_S} [\Delta Q_{C1} + \Delta Q_{C2}]$$

1.0 機能説明 (つづき)

1.3 アーキテクチャ

ADC0820 の 15 個のコンパレータの 1 つのバンクは、それぞれの 4 ビット・フラッシュ A/D コンバータに使用されています (Figure 12)。MS (最上位) フラッシュ ADC はまた、入力オーバレンジ検出のためにもう 1 個のコンパレータを持っています。これらのコンパレータの 2 セットは、1 つのグループはゼロ調整サイクルを、他のグループは比較サイクルとして交互に動作します。

通常の変換が開始されると、 \overline{WR} ラインが Low になります。この瞬間、MS コンパレータはゼロ調整モードから比較モードに進みます。(Figure 11)。 \overline{WR} が最小でも 600ns 後に High に戻ると、コンパレータの最初のセット (最初のフラッシュ) からの出力はデコードされラッチされます。この時点で 2 個の 4 ビット・コンバータはモードを変更し、LS (最下位) フラッシュ ADC は比較サイクルに入ります。ちょうど 600ns 後、下位 4 データビットをラッチするために、 \overline{RD} ラインは Low になり、8 ビット変換を終了します。 \overline{RD} が Low になると、フラッシュ A/D は次の変換準備のため再び状態を変化させます。

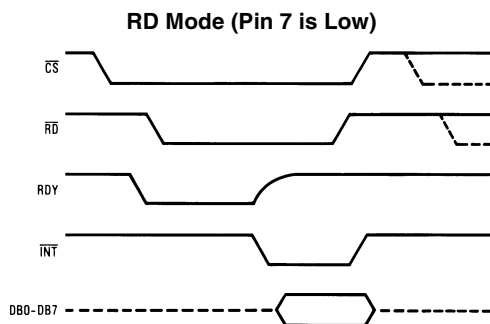
Figure 11 はアナログ入力 (V_{IN}) に対し、いかにコンバータのインタフェース・タイミングが関係しているかのアウトラインです。WR-RD モードでは、 \overline{WR} が Low の間 V_{IN} が計測されます。 \overline{RD} モードでは、 \overline{RD} の最初の 800ns の間でサンプリングします。コンパレータは ADC0820 の LS と MS コンパレータに対し入力結合されているので、二つの別々の 4 ビット変換が行われている中でも、ある瞬間で V_{IN} をサンプルする能力を持っています (2.4 項参照)。特に \overline{WR} が Low のときには、MS フラッシュは比較モードにあり (V_{IN} に接続されている)、LS フラッシュはゼロ・モードにあります (同様に V_{IN} に接続されている)。そのため、両方のフラッシュ ADC は同時に V_{IN} をサンプリングします。

1.4 デジタル・インタフェース

ADC0820 は、二つの基本インタフェース・モードを持っていて、MODE 端子を High または Low にストラップすることで選択されます。

RD モード

MODE 端子を接地すると、コンパレータはリード (Read) モードに確定されます。この構成では、出力データが現れるまで \overline{RD} を Low にしておくことで完全な変換が実行されます。RDY 出力と同様に、変換完了時に \overline{INT} ラインは Low になりますが、この RDY 出力はコンパレータがビジー (busy) のときプロセッサ信号に用いられるか、またはシステムのトランスファ・アクノレッジ (認識) 信号として用いることができます。



RD モードの場合、コンパレータ・フェーズは、内部的にトリガされます。 \overline{RD} の立ち下がりが MS フラッシュ・コンパレータはゼロ・モードから比較モードになり、LS ADC のコンパレータはゼロ・サイクルに入ります。800ns 後、MS フラッシュからのデータはラッチされ、LS フラッシュ ADC は、比較モードに入ります。引き続き次の 800ns で、下位の 4 ビットがリカバーされます。

WR-RD モード

MODE 端子を High にすると、A/D は WR-RD モードにセットされます。この時、変換は \overline{WR} 入力によって開始されます。しかし、インタフェース・タイミングの取り方によって出力データの読み込みには 2 つのオプションがあります。システムに割込みが必要な場合、ユーザは変換結果の読み込み前に \overline{INT} が Low になるのを待つことができます (Figure 10)。 \overline{INT} は、 \overline{WR} の立ち上がりエッジ後、800ns (代表値) で Low になります。しかし、より短い変換時間が求められる場合には、プロセッサは \overline{INT} を持つ必要はなく、600ns 後、読み込みを実行できます (Figure 9)。この場合、 \overline{INT} はすぐに Low になり、データが出力に現れます。

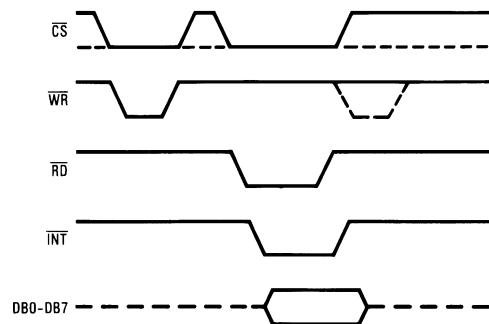


FIGURE 9. WR-RD Mode (Pin 7 is High and $t_{RD} < t_i$)

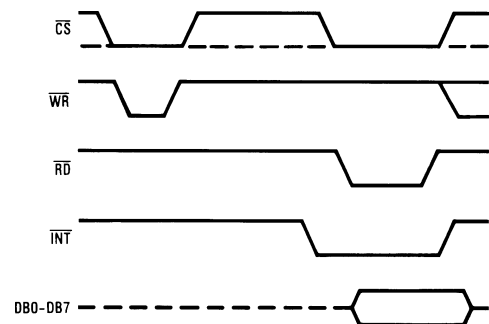
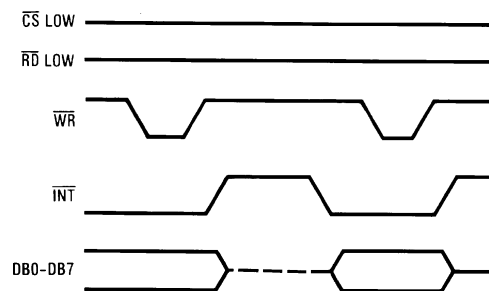


FIGURE 10. WR-RD Mode (Pin 7 is High and $t_{RD} > t_i$)

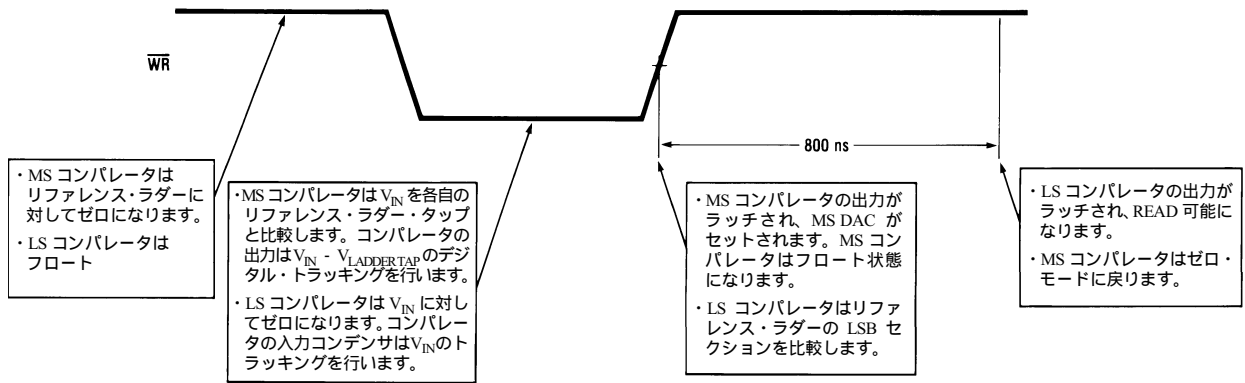
スタンドアロン

\overline{CS} と \overline{RD} を Low にすると、WR-RD モードのスタンドアロン動作となり、 \overline{WR} により変換は開始されます。データは \overline{WR} の立ち上がりエッジ後、約 800ns で有効となります。

WR-RD Mode (Pin 7 is High) Stand-Alone Operation



1.0 機能説明 (つづき)



Note: MSは最上位、LSは最下位を意味します。

FIGURE 11. Operating Sequence (WR-RD Mode)

その他のインタフェースについて

変換の精度を維持するため、 \overline{WR} は、50 μ sの最大幅スペックを持っています。MSフラッシュADCのサンプルド・データ・コンパレータ(1.2項)が比較モード(\overline{WR} がLow)の場合、入力コンデンサ(C、Figure 8)は、充電電圧を保持しなければなりません。コンパレータが長時間このフェーズ(状態)におかれた場合、ス

イッチのリーク電流とインバータのバイアス電流により、エラーが生じます。

MSフラッシュADCは変換の終了でゼロ調整フェーズに入るので(1.3項)、新しい変換はこのフェーズが完了するまで開始できません。この時間の最低値(t_p : Figure 2、3、4、5)は500nsです。

ブロック図

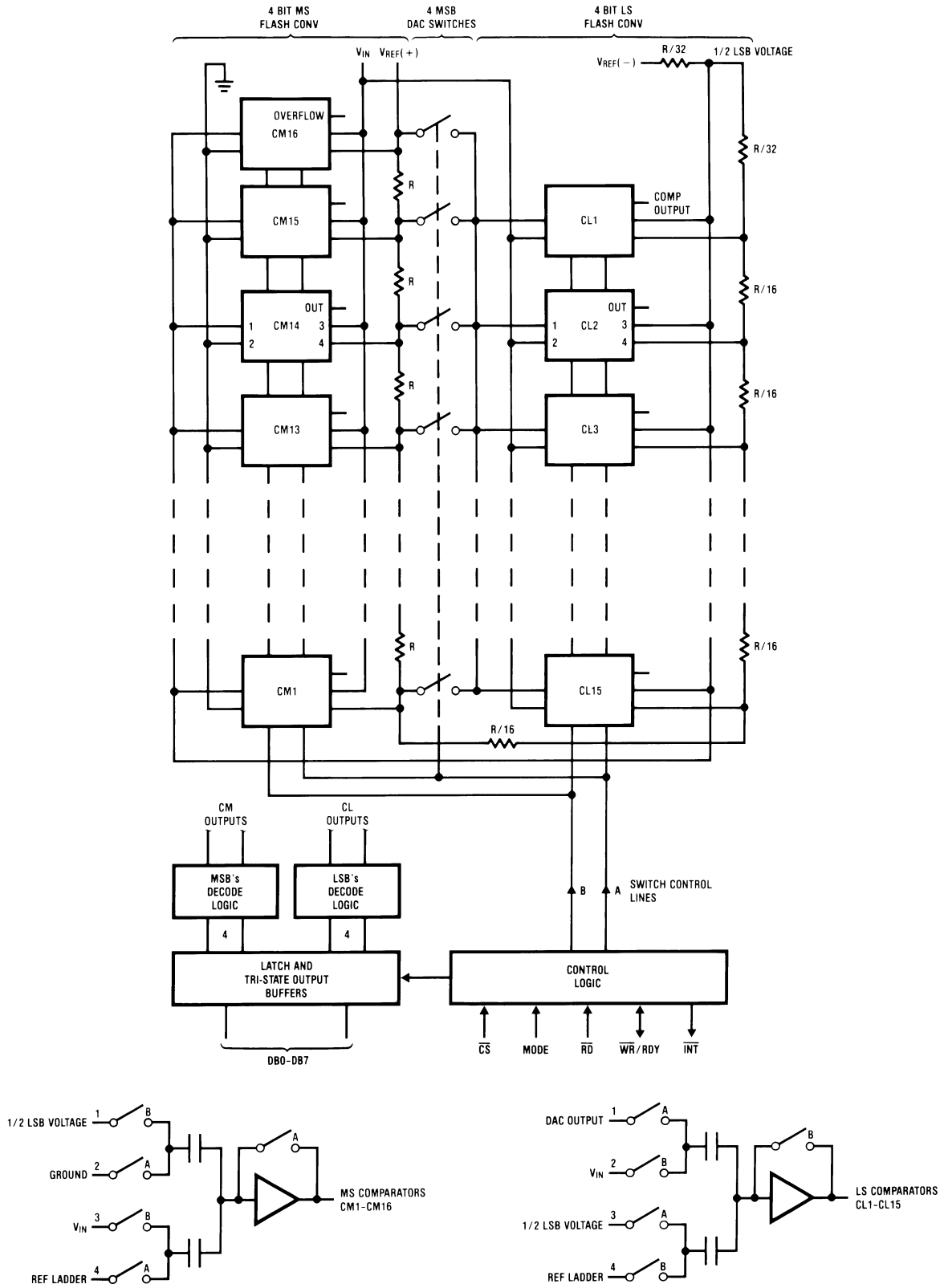


FIGURE 12.

2.0 アナログ回路

2.1 基準値と入力

ADC0820 の 2 つの V_{REF} 入力 は完全差動で、A/D コンバータのゼロからフルスケールまでの入力範囲を定義します。このレンジ (範囲) は $V_{IN} (+)$ 、 $V_{IN} (-)$ 間の電圧差に等しくなるので、アナログ入力のスパンを容易に変更できます。 V_{REF} ($V_{REF} = V_{REF} (+) - V_{REF} (-)$) を 5V 未満に減らすと、コンバータの感度を増加できます ($V_{REF} = 2V$ の場合 $1LSB = 7.8mV$)。また、入力および基準電圧を調整するとレシオメトリック動作が容易になり、多くの場合、デバイスの電源電圧は、 V_{REF} 信号源と同様にトランスデューサの電源に使用できます。

この基準電圧の柔軟性は、入力幅を変えるだけでなく、ゼロからのオフセットも可能にします。 $V_{REF} (-)$ 電圧は、オール・ゼロのデジタル出力を作り出す入力レベルをセットします。 V_{IN} は、それ自体差動ではありませんが、基準電圧設計はほとんどの計測用アプリケーションにとって、ほぼ差動入力ようになります。Figure 13 にいくつかの可能な構成を示します。

2.2 入力電流

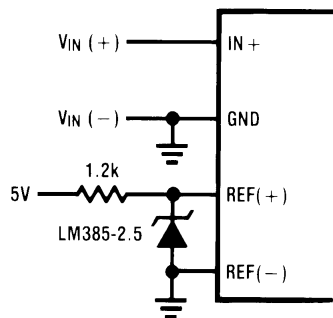
ADC0820 の独自の変換技術のため、アナログ入力の動作は、従来のデバイスに比べて多少異なります。A/D のサンプルド・データコンバータは、変換がどのサイクル内にあるかによって入力電流総量を変化させます。

ADC0820 の等化入力回路を、Figure 14 に示します。変換が開始されると (\overline{WR} は Low で、WR-RD モード)、すべてのスイッチが閉じ、 V_{IN} は、31 個ある $1pF$ のコンデンサに接続されます。たとえ、2 つの 4 ビット・フラッシュの回路の両方が同時にそれぞれの比較サイクルに入らなくても、 V_{IN} は同時にすべての入力コンデンサに入力されたものと見なされます。これは、MS フラッシュ・コンバータが、比較フェーズ (状態) の間入力に接続され、LS フラッシュ・コンバータは、ゼロ調整フェーズ (状態) の間入力に接続されているからです (1.3 項)。言い換えると、LSADC は、自身のゼロ・フェーズ (状態) 入力として V_{IN} を使用します。

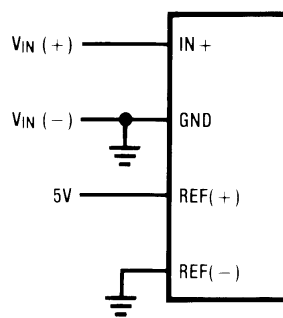
入力コンデンサは、アナログ・スイッチの抵抗 (約 $5k \sim 10k$) を通して、入力電圧まで充電しなければなりません。加えて、約 $12pF$ の入力浮遊容量も充電する必要があります。大きな信号源抵抗の時には、アナログ入力は Figure 15 に示すような RC ネットワークとして標準化できます。 R_S を大きくすると、入力コンデンサの充電時間は長くなります。

RD モードでは、変換の開始によりおよそ $800ns$ の間、入力スイッチが閉じられます。WR-RD モードでは、充電のためスイッチが閉じられる時間は、 \overline{WR} が Low になっているときです。別の要因が最低 $600ns$ となるようにこの時間働くため、 $100ns$ の一定入力時間を特別な考慮なしで割り当てられます。総入力容量が $45pF$ (T_{yp} 値) であれば、さらに V_{IN} のセッティング時間を得るために、 \overline{WR} 時間を延長せずに R_S を $1.5k$ に設定できます。

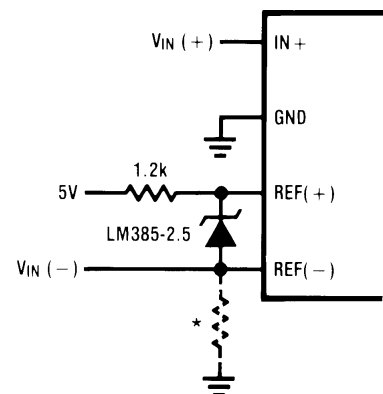
External Reference 2.5V Full-Scale



Power Supply as Reference



Input Not Referred to GND



* 電源経路は $V_{IN} (-)$ からグラウンドに存在しなければなりません。

FIGURE 13. Analog Input Options

2.0 アナログ回路 (つづき)

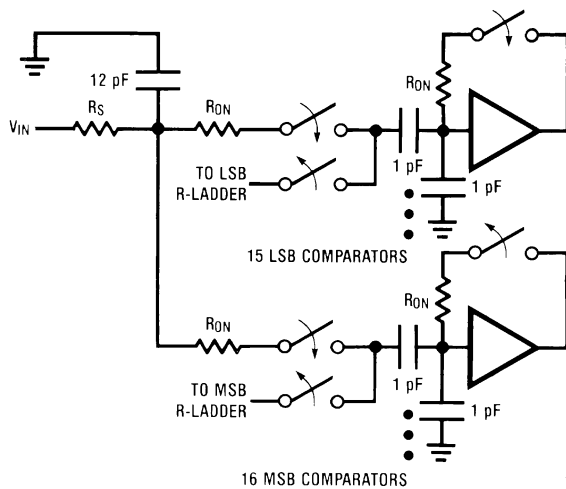


FIGURE 14.

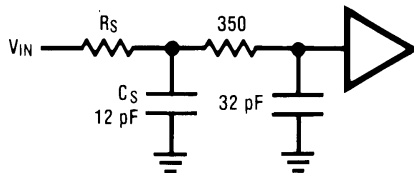


FIGURE 15.

2.3 入力フィルタ

V_{IN} に流れ込む充電電流により引き起こされるアナログ入力信号のトランジェントは、ほとんどの場合 A/D の性能を低下させません。実際、これらトランジェントが起こった場合、ADC0820 は、入力で「トランジェントを見る」ことをしません。コンパレータの出力は、 \overline{WR} が Low の間ラッチされず、600ns (最低) が ADC の入力コンデンサの充電のために用意されます。したがってこれらトランジェントを取り除くため、 V_{IN} 端子にコンデンサを外付けする必要はありません。

2.4 内蔵サンプル/ホールド

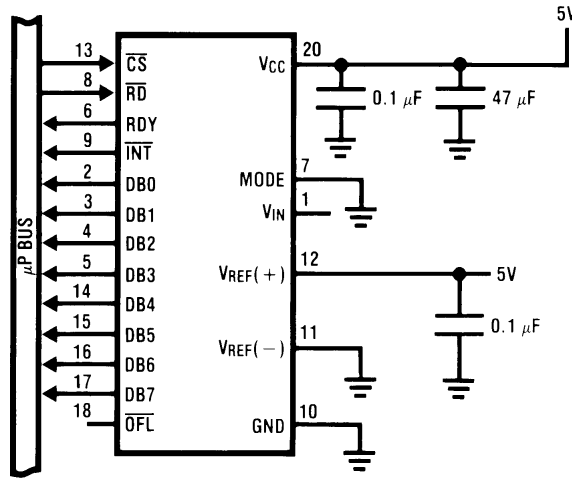
ADC0820 の持っている他の入力機能の特長として、外部のサンプル / ホールドなしで各種の高速信号が測定できます。従来の SAR タイプのコンバータでは、速度とは関係なく、精度がフルに維持されるためには、変換処理の全域にわたって最低 1/2LSB 分だけ安定して入力が残っていなければなりません。結果として、多くの高速信号に対しては、信号は変換の間外部的にサンプリングされ、安定状態にホールドされていなければなりません。

サンプルド・データ・コンパレータは、それらの入力スイッチの特質により、すでにこの機能の大部分を達成しています (1.2 項)。たとえば ADC0820 の変換時間が 1.5 μ s であっても、 V_{IN} が安定していなければならない 1/2LSB 分の時間は、より短くなります。MS フラッシュ ADC は V_{IN} を “比較フェーズ (状態)” 入力として使い、LS ADC は V_{IN} を “ゼロ” 入力として使うため、ADC0820 は \overline{WR} が Low の場合 V_{IN} をサンプリングするだけです (1.3 項、2.2 項)。たとえば、2 つのフラッシュが同時に実行されなくても、アナログ入力信号は瞬時に測定されます。 \overline{WR} の立ち上がりエッジ後およそ 100ns の V_{IN} の値 (内部ロジックの伝播遅れによる 100ns) はその測定された値となります。

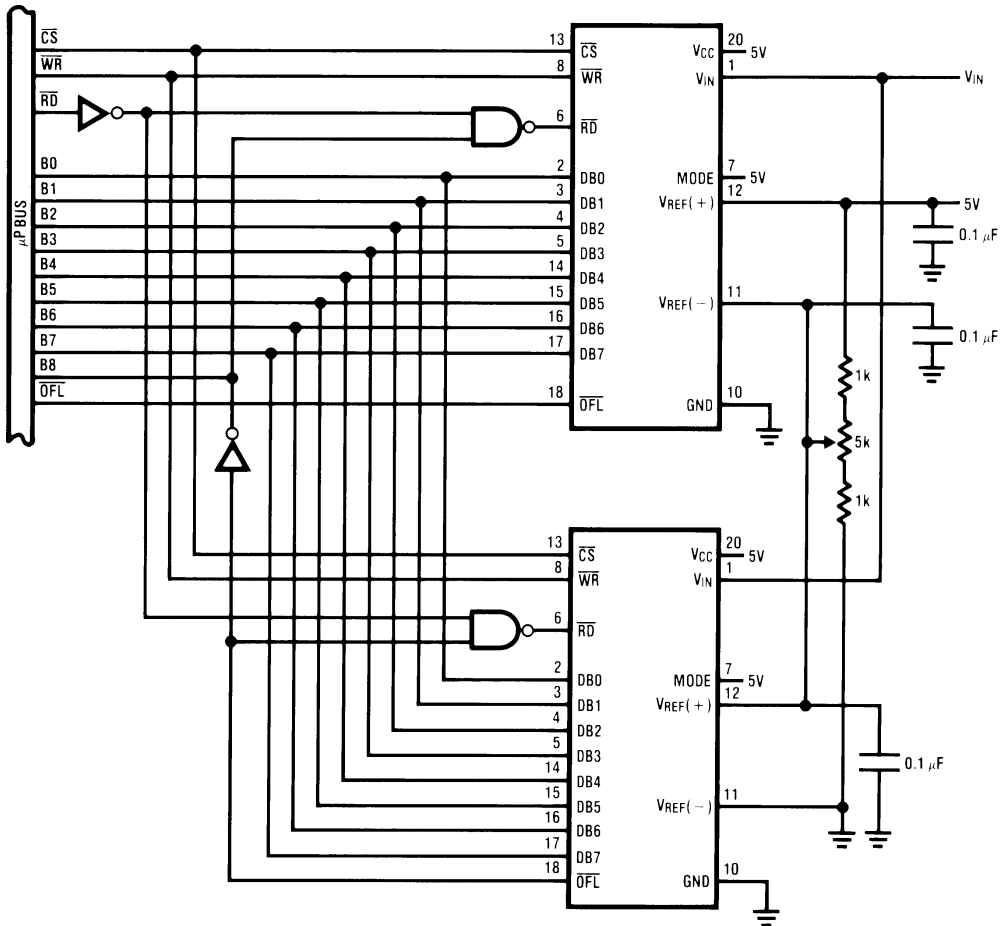
一般に、スルーレートが 100mV/ μ s 以下の入力信号では、誤差のない変換が可能です。しかし、その入力時定数とその開いたコンパレータ入力スイッチを通しての荷電のために、より高速の信号は誤差の要因となります。それでもなお信号傾斜における増加分を与えるための ADC0820 の精度の損失は、従来の逐次比較型デバイスで立証されているものより、はるかに小さいものです。1 μ s の変換時間の速度をもつ SAR タイプのコンバータでは、外付けの S/H なしに 5V、1kHz の正弦波の測定は不可能です。しかし ADC0820 では、このような助けを借りなくても、5V、7kHz (代表値) の波形を測定できます。

3.0 代表的なアプリケーション

8-Bit Resolution Configuration

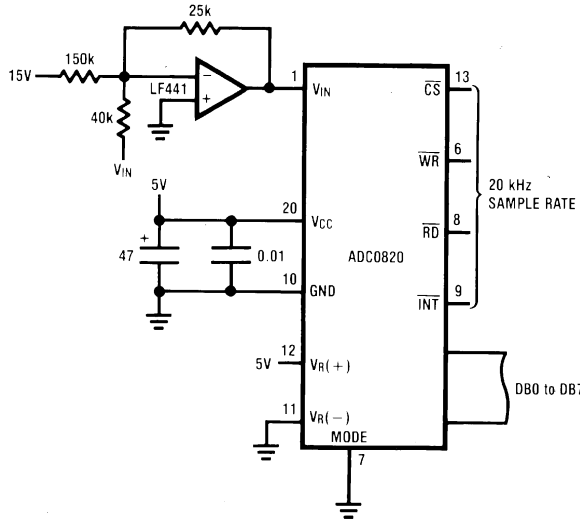


9-Bit Resolution Configuration

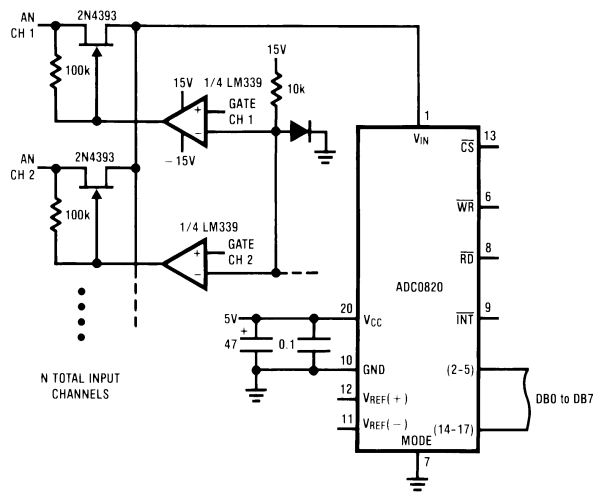


3.0 代表的なアプリケーション(つづき)

Telecom A/D Converter

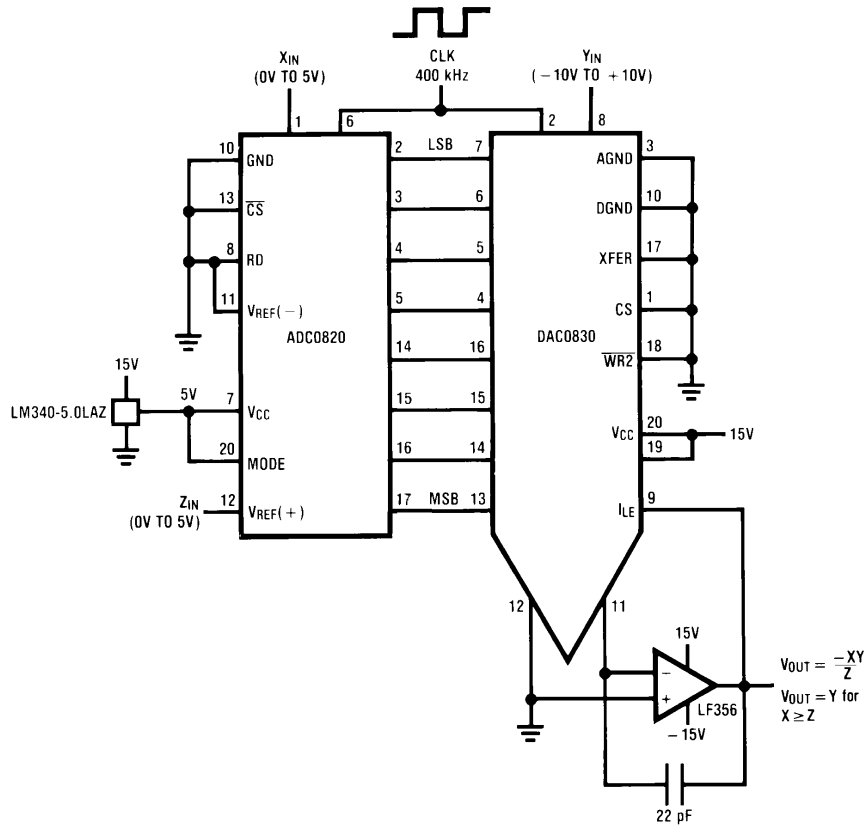


Multiple Input Channels



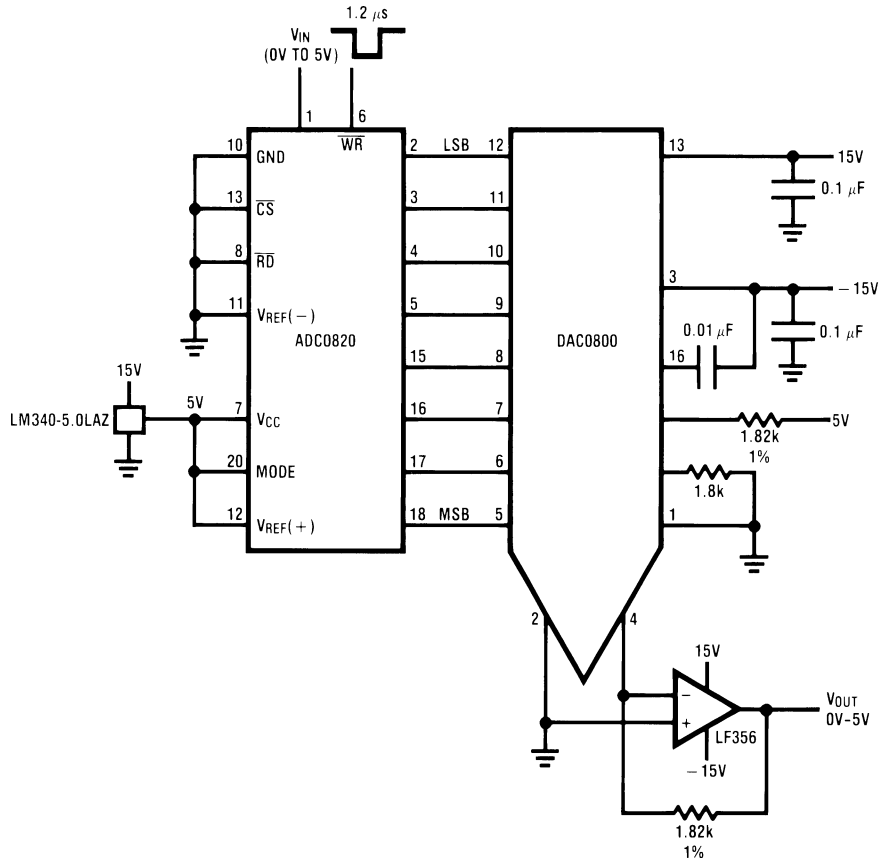
- $V_{IN} = 3\text{kHz max} \pm 4V_p$
- サンプル/ホールド不要
- 低消費電力

8-Bit 2-Quadrant Analog Multiplier



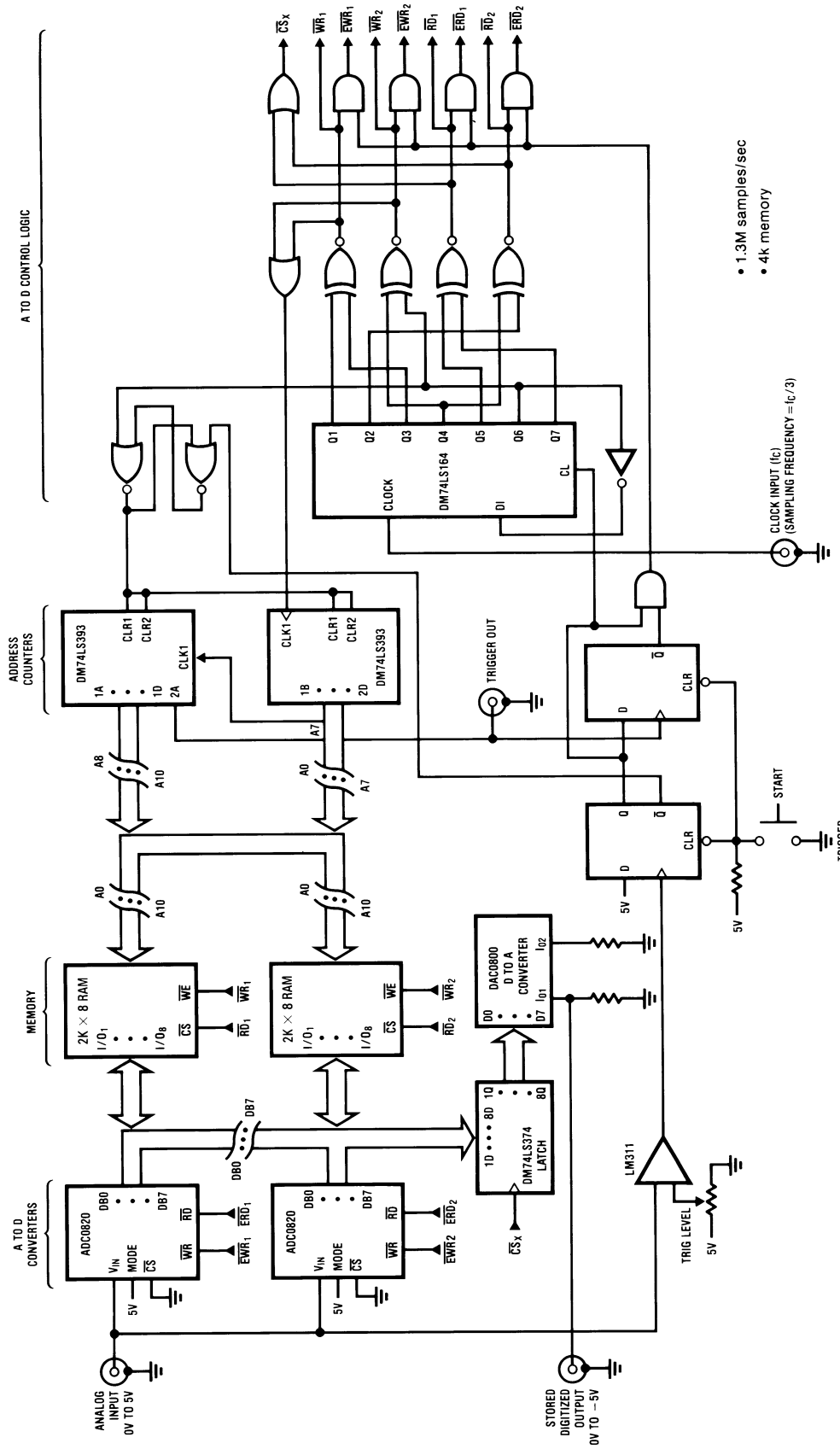
3.0 代表的なアプリケーション(つぎ)

Fast Infinite Sample-and-Hold

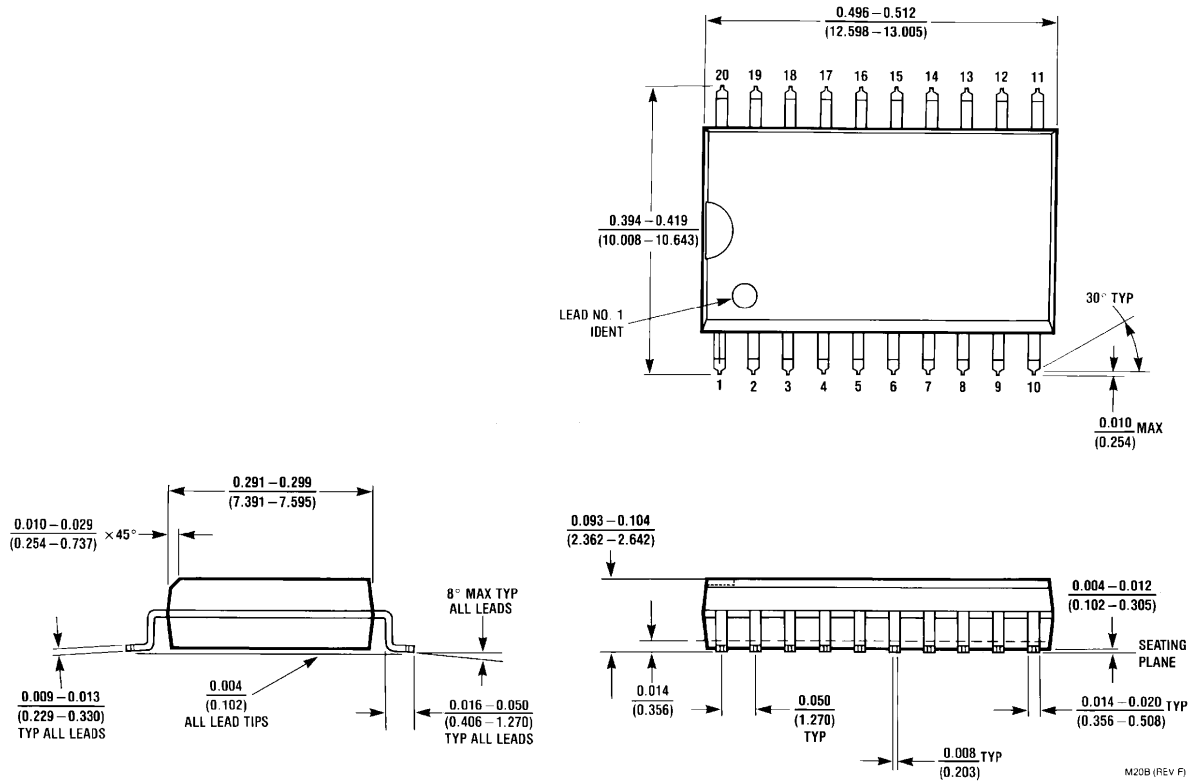


3.0 代表的なアプリケーション(つづき)

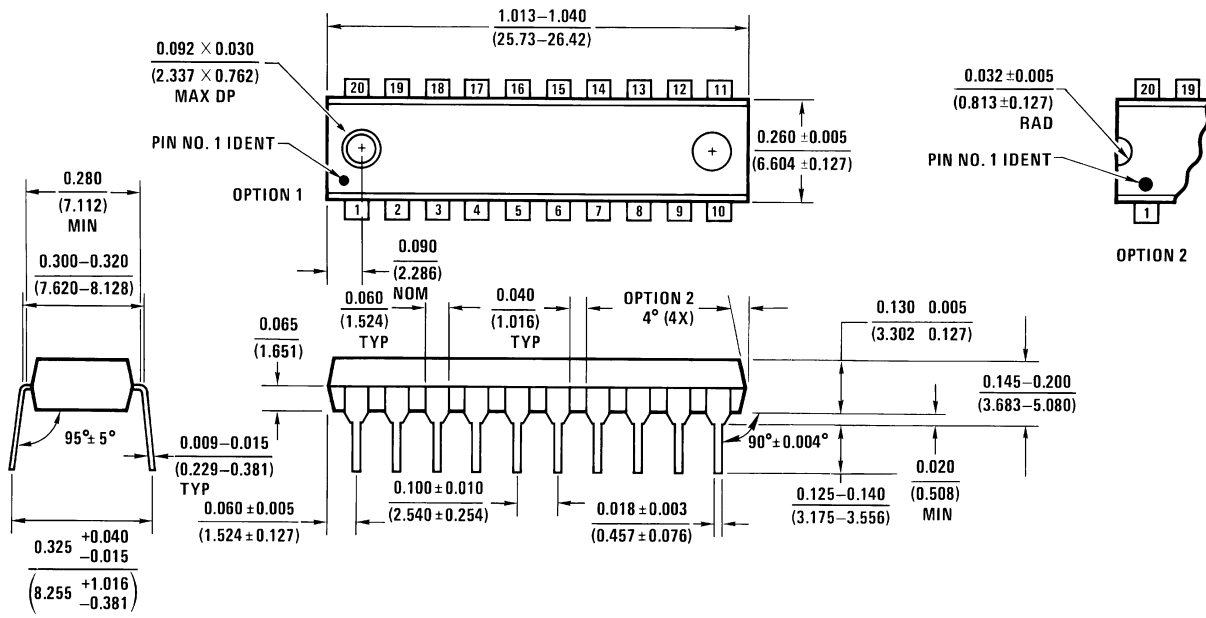
Digital Waveform Recorder



外形寸法図 特記のない限り inches (millimeters)

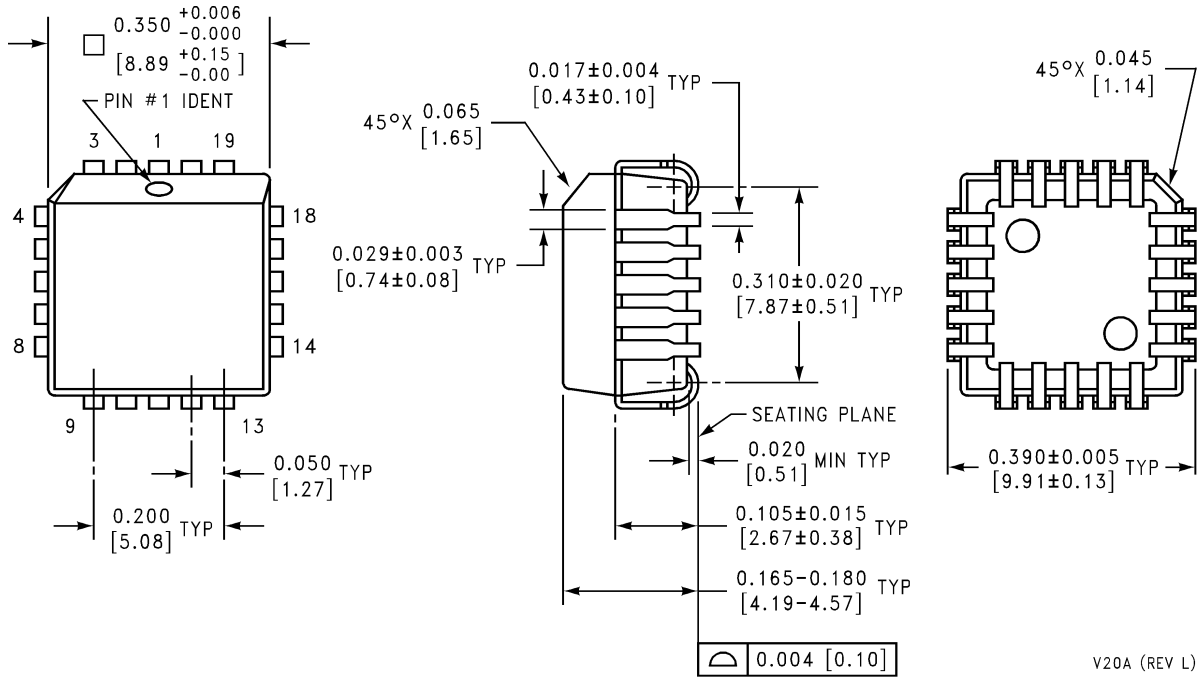


SO Package (M)
Order Number ADC0820BCWM, ADC0820CCWM
NS Package Number M20B



Molded Dual-In-Line Package (N)
Order Number ADC0820CCN
NS Package Number N20A

外形寸法図 特記のない限り inches (millimeters)(つづき)



V20A (REV L)

Molded Chip Carrier Package (V)
Order Number ADC0820BCV
NS Package Number V20A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

その他のお問い合わせはフリーダイヤルをご利用ください。



0120-666-116